



IP ядро CMI интерфейса  
Краткое описание

Информация о релизе

Название	CMI-INTERFACE
Версия	1.0
Дата сборки	2007.04
Код заказа	ip-cmi-interface

Назначение IP ядра

Данное IP ядро реализует функции приемника и передатчика CMI (coded mark inversion) и полностью совместимо со стандартами:

1. ITU-T G.707/G.703 STM-1;
2. SONET GR-253-core;
3. ITU-T G.702/G.703 PDH E4.

Комплект поставки

IP ядро CMI интерфейса включает в себя:

- VQM/NGC/EDIF нетлисты для Altera Quartus II, Xilinx ISE, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Altera, Xilinx, Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра CMI передатчика.

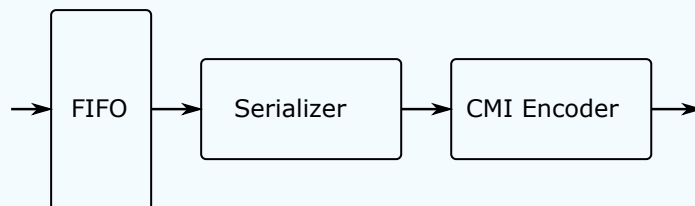


Рисунок 1. Структурная схема CMI передатчика

Особенностью данного передатчика CMI является поддержка различной разрядности входных данных. За счет внутренних блоков FIFO и Serializer IP ядро с легкостью встраивается в PDH и SDH системы связи, гарантируя синхронность передачи данных без необходимости внешних схем преобразования.

На рисунке 2 показана структурная схема IP ядра CMI приемника.

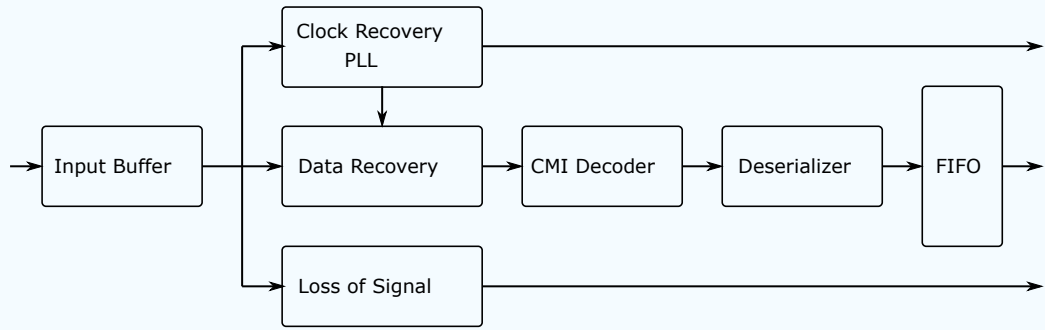


Рисунок 2. Структурная схема CMI приемника

Приемник CMI обеспечивает синхронный прием CMI потока. Для синхронизации частот используется внутренняя система фазовой автоподстройки частоты (ФАПЧ) и внешний перестраиваемый генератор управляемый напряжением (ГУН). Благодаря использованию блоков **Deserializer** и **FIFO** разрядность выходных данных может быть произвольной.

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра CMI передатчика.

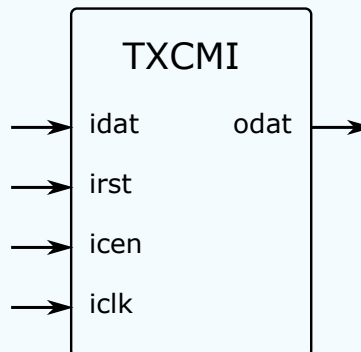


Рисунок 3. Карта портов CMI передатчика

Таблица 1. Описание портов CMI передатчика		
Порт	Тип	Описание
idat	вход	входные (информационные) данные
irst	вход	синхронный сброс
icen	вход	разрешающий сигнал для iclk
iclk	вход	тактовая частота входных данных
odat	выход	выходные (CMI-кодированные) данные

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра CMI приемника.

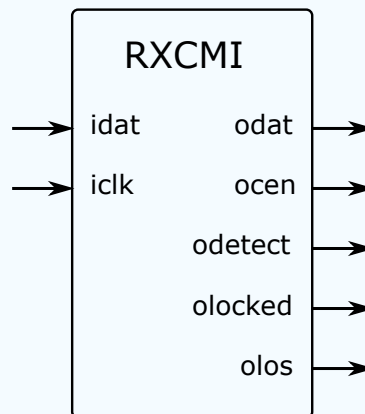


Рисунок 4. Карта портов CMI приемника

Таблица 2. Описание портов CMI приемника		
Порт	Тип	Описание
idat	вход	входные (CMI-кодированные) данные
iclk	вход	восстановленная тактовая частота
odat	выход	выходные данные (информационные)
ocen	выход	разрешающий сигнал для выходных данных
odetect	выход	выход Clock Recovery PLL
olocked	выход	сигнал захвата CMI сигнала
olos	выход	Loss of Signal

## Описание работы IP ядра

Плещиохронные и синхронные цифровые иерархии являются всемирными стандартами технологии передачи данных. В качестве среды передачи в стандартах ITU-T предусмотрены два варианта:

1. кабельный интерфейс (код CMI);
2. оптический интерфейс (код NRZ).

Код CMI - это двухуровневый код, в котором "логический ноль" передается изменением уровня сигнала с низкого на высокий, а единица передается попеременно высоким и низким уровнем сигнала. На рисунке 5 показан пример временной диаграммы кода CMI.

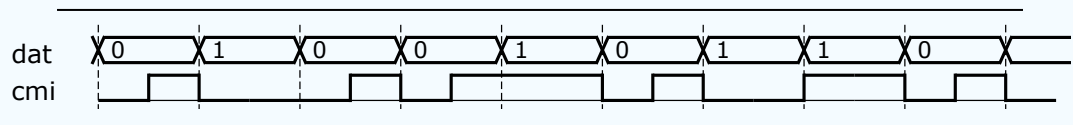


Рисунок 5. Временная диаграмма кода CMI

Для безошибочного приема CMI кода необходимо точно определять границы тактовых интервалов каждого сигнала. Для этого используют или синхронизацию опорного генератора от входного потока или передискретизацию (oversampling) входного потока для детектирования фронтов. Основными критериями оценки качества восстановления данных являются вероятность битовой ошибки и джиттер на выходе приемника.

Главные особенности данного IP ядра:

1. Встроенный serializer и fifo-буфер с параметризованной разрядностью символов ( $W$ );
2. Поддержка синхронного режима приема CMI потока (с подстройкой внешнего ГУНа);
3. Поддержка режима передискретизации (oversampling) приема CMI потока;
4. Детектор наличия сигнала (Loss Of Signal) и детектор захвата (Locked);
5. Внутренняя система подавления дрожания фронта сигнала (dejitter).

Наличие системы подавления джиттера и встроенные fifo-буферы в IP ядре CMI интерфейса обеспечивают надежную работу синхронных систем связи (SDH/PDH) в соответствии с требованиями ITU-T.

Параметры IP ядра

Доступные для изменения параметры IP ядра СМI интерфейса представлены в таблице 3:

Таблица 3. Описание параметров IP ядра СМI интерфейса	
Параметр	Описание
W	разрядность символов
L	количество отчетов на один символьный интервал (oversampling rate)
D	ширина полосы ФАПЧ (Clock Recovery PLL)
LVL	порог срабатывания детекторов LOS и Locked

Скорость работы и занимаемый ресурс

В таблице 4 приведены результаты измерений IP ядра СМI интерфейса.

Таблица 4. Производительность СМI интерфейса					
Тип микросхемы ПЛИС	Параметры	Скорость потока	LEs	Memor y	Slices
Altera Cyclone II W=1, L=1	STM-1 передатчик	155.52 Mbit/s	10	--	--
	STM-1 приемник	155.52 Mbit/s	102	--	--
Altera Cyclone III W=8, L=2, FIFO	STM-1 передатчик	155.52 Mbit/s	47	8,192 bits	--
	STM-1 приемник	155.52 Mbit/s	157	8,192 bits	--
Xilinx Spartan-3A DSP W=1, L=1	STM-1 передатчик	155.52 Mbit/s	--	--	5
	STM-1 приемник	155.52 Mbit/s	--	--	87

### Обновление и техническая поддержка

Для получения актуальной информации об IP ядре CMI интерфейса посетите страницу <http://www.iprium.ru/ipcores/id/cmi-interface/>.

Зарегистрированные клиенты могут получать обновления vqm/ngc netlist'ов IP ядра через личный кабинет на сайте компании IPrium <http://www.iprium.ru/ipcores/download/>.

Для получения технической поддержки зарегистрированные клиенты могут воспользоваться тикет-системой в личном кабинете на сайте компании IPrium <http://www.iprium.ru/>. Максимальный срок обработки запроса о технической поддержке - 2 рабочих дня.

### Заказ IP ядра

Код заказа ядра CMI интерфейса - **ip-cmi-interface**.

### Обратная связь

Компания IPrium (ООО "Иприум")

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)226454

E-mail: [info@iprium.ru](mailto:info@iprium.ru)

website: <http://www.iprium.ru/contacts/>

### История изменений

Версия	Дата	Изменения
1.0	2007.04.30	Первый релиз