



IP ядро DVB-C модулятора
Краткое описание

Информация о релизе

Название	DVBC-MODULATOR
Версия	1.1
Дата сборки	2010.12
Код заказа	ip-dvbc-modulator

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым DVB-C модулятором и полностью совместимо со стандартом ETSI EN 300 429 (v1.2.1).

Комплект поставки

IP ядро DVB-C модулятора включает в себя:

- VQM/NGC/EDIF нетлисты для Altera Quartus II, Xilinx ISE, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Altera, Xilinx, Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-C модулятора.

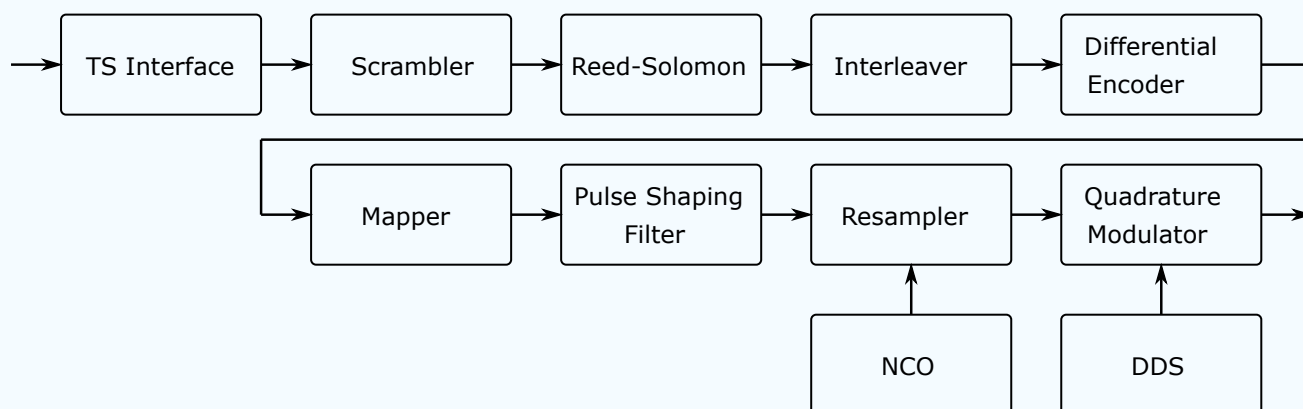


Рисунок 1. Структурная схема DVB-C модулятора

DVB-C модулятор состоит из входного TS интерфейса (TS Interface), скремблера (Scrambler), кодера Рида-Соломона (Reed-Solomon), перемежителя (Interleaver), дифференциального кодера (Differential Encoder), маппера созвездия (Mapper), формирующего фильтра (Pulse Shaping Filter), дробного интерполятора/ресемплера (Resampler), квадратурного модулятора (Quadrature Modulator), цифрового тактового генератора (NCO) и цифрового синтезатора частот (Direct Digital Synthesis).

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра DVB-C модулятора.

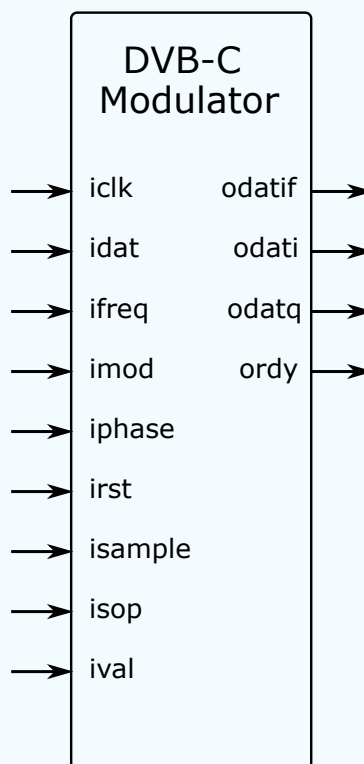


Рисунок 2. Карта портов DVB-C модулятора

Таблица 1. Описание портов DVB-C модулятора (часть 1 из 2)		
Порт	Разрядность	Описание
iclk	1	Тактовая частота входных данных.
idat	8	Входные (информационные) данные.
ifreq	W_FREQ	Значение выходной промежуточной частоты.
imod	3	Выбор схемы модуляции: 0 - 16-QAM; 1 - 32-QAM; 2 - 64-QAM; 3 - 128-QAM; 4 - 256-QAM.
iphase	W_PHASE	Корректировка квадратурности.
irst	1	Асинхронный сброс.

Таблица 1. Описание портов DVB-C модулятора (часть 2 из 2)		
Порт	Разрядность	Описание
isample	W_SAMPLE	Управление шириной спектра (символьной скоростью): от 0.01% до 25% от iclk
isop	1	Метка синхробайта входных данных (0x47 TS).
ival	1	Валидность входных данных.
odatif	W_OUT	Выход модулятора на промежуточной частоте.
odati	W_OUT	Выход модулятора в основной полосе частот (I канал).
odatq	W_OUT	Выход модулятора в основной полосе частот (Q канал).
ordy	1	Готовность принимать входные данные.

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-C модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра DVB-C модулятора	
Параметр	Описание
W_FREQ	Разрядность управления выходной промежуточной частотой (ifreq). Повышение разрядности ifreq увеличивает точность установки выходной промежуточной частоты, но одновременно увеличивает требуемый ресурс ПЛИС.
W_PHASE	Разрядность управления коррекцией квадратурности (iphase). Повышение разрядности iphase увеличивает точность компенсации ошибки внешнего квадратурного смесителя, но одновременно увеличивает требуемый ресурс ПЛИС.
W_SAMPLE	Разрядность управления символьной частотой/шириной спектра (isample). Повышение разрядности isample увеличивает точность установки выходной символьной частоты, но одновременно увеличивает требуемый ресурс ПЛИС.
W_OUT	Разрядность выходных данных (odatif/odati/odatq). Повышение разрядности odatif/odati/odatq увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.

Скорость работы и занимаемый ресурс

В таблице 3 приведены результаты измерений IP ядра DVB-C модулятора.

Таблица 3. Производительность DVB-C модулятора				
Параметры кодера	Тип микросхемы ПЛИС			
	Ресурс	Speed grade ПЛИС, максимальная частота работы		
W_OUT=16 ROLL-OFF=15%	Altera Cyclone II EP2C35			
	4,643 LEs 62 M4K blocks 16 DSP (9x9)	-8, Fmax	-7, Fmax	-6, Fmax
		156.0 MHz 39.0 Msymb/s	180.0 MHz 45.0 Msymb/s	198.0 MHz 49.5 Msymb/s

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется **odati** и **odatq**);
- На промежуточной частоте (используется **odatif**).

По умолчанию, IP ядро использует оба режима для формирования выходных данных. Не используемые выходы можно просто оставить неподключенными.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром DVB-C модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты **ifreq** не влияет на выходы модулятора **odati** и **odatq**.

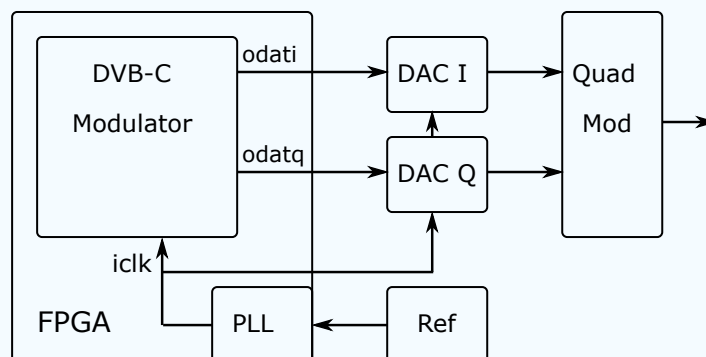


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

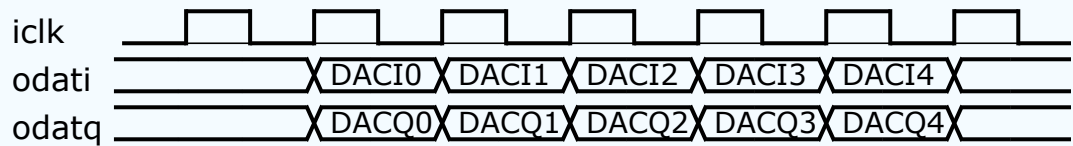


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты *ifreq* задает значение ПЧ на выходе модулятора *odatif*.

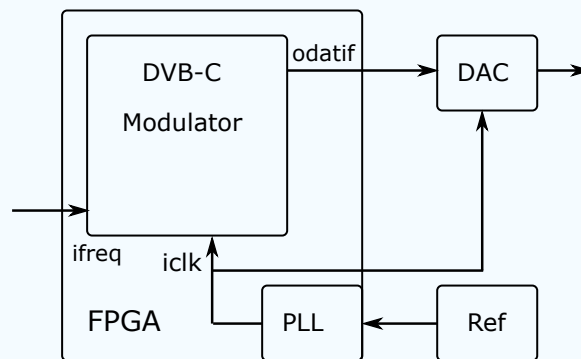


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.

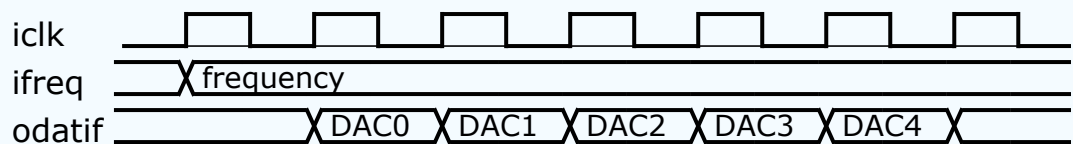


Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом *ordy*. Входные данные считываются с входа *idat* только тогда, когда *ordy* равен единице ("1"). В текущей версии IP ядра задержка LATENCY между *ival* и *ordy* равна нулю ("0"). Это означает, что сигнал *ival* должен полностью повторять форму сигнала *ordy*, глубина буферизации данных внутри IP ядра равна 0. Это сделано с целью экономии ресурса и возможности подключения внешнего буфера для данных.

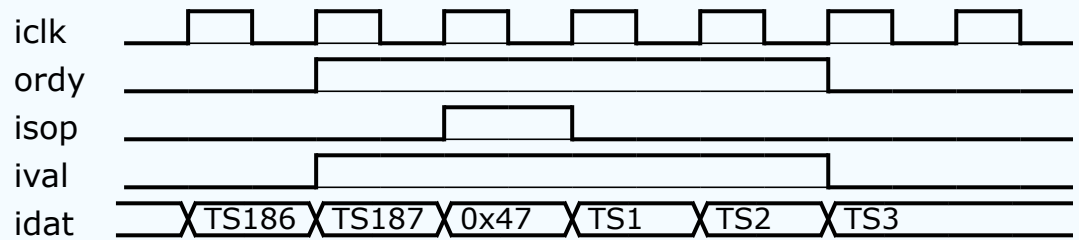


Рисунок 7. Временные диаграммы входного интерфейса IP ядра.

Время реакции выходных данных на изменение режима работы DVB-C модулятора через **imod**, **isample** порты составляет не более одной тысячи (1000) символов DVB-C. Корректное формирование спектра DVB-C сигнала в течение одной тысячи (1000) символов после изменения конфигурации не гарантируется.

Обновление и техническая поддержка

Для получения актуальной информации об IP ядре DVB-C модулятора посетите страницу <http://www.iprium.ru/ipcores/id/dvbc-modulator/>.

Зарегистрированные клиенты могут получать обновления vqm/ngc netlist'ов IP ядра через личный кабинет на сайте компании IPrium <http://www.iprium.ru/>.

Для получения технической поддержки зарегистрированные клиенты могут воспользоваться тикет-системой в личном кабинете на сайте компании IPrium <http://www.iprium.ru/>. Максимальный срок обработки запроса о технической поддержке - 2 рабочих дня.

Заказ IP ядра

Код заказа ядра DVB-C модулятора - **ip-dvbc-modulator**.

Обратная связь

Компания IPrium (ООО "Иприум")

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)226454

E-mail: info@iprium.ru

website: <http://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
1.1	2010.12.22	Текущие улучшения
1.0	2010.12.03	Первый релиз