



IP ядро DVB-S2 модулятора
Краткое описание

Информация о релизе

Название	DVBS2-MODULATOR
Версия	1.0
Дата сборки	2011.06
Код заказа	ip-dvbs2-modulator

Назначение IP ядра

Данное IP ядро является готовым цифровым DVB-S2 модулятором для Broadcast режима и полностью совместимо со стандартом ETSI EN 302 307 (v1.2.1).

Комплект поставки

IP ядро DVB-S2 модулятора включает в себя:

- VQM/NGC/EDIF нетлисты для Altera Quartus II, Xilinx ISE, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Altera, Xilinx, Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-S2 модулятора.

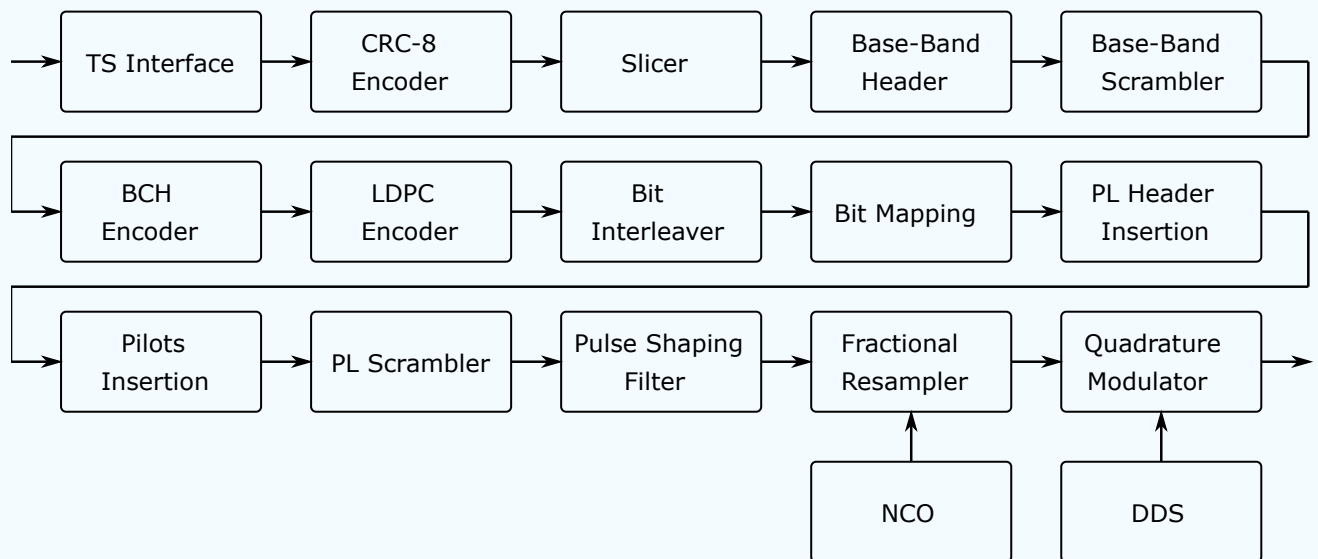


Рисунок 1. Структурная схема DVB-S2 модулятора

DVB-S2 модулятор состоит из блока обработки входного TS интерфейса (TS Interface), CRC-8 кодера (CRC-8 Encoder), слайсера кадров (Slicer), блока вставки Base-Band заголовка (Base-Band Header), Base-Band скремблера (Base-Band Scrambler), кодера BCH (BCH Encoder), кодера LDPC (LDPC

Encoder), битового перемежителя (**Bit Interleaver**), маппера (**Bit Mapping**), блока вставки PL заголовка (**PL Header Insertion**), блока вставки пилот-сигналов (**Pilots Insertion**), PL скремблера (**PL Scrambler**), формирующего фильтра (**Pulse Shaping Filter**), дробного интерполятора/ресемплера (**Fractional Resampler**), квадратурного модулятора (**Quadrature Modulator**), цифрового тактового генератора (**NCO**) и цифрового синтезатора частот (**Direct Digital Synthesis**).

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра DVB-S2 модулятора.

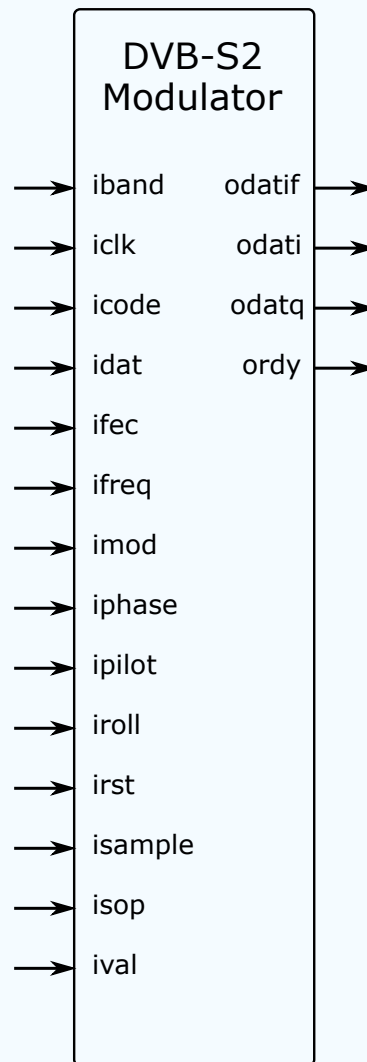


Рисунок 2. Карта портов DVB-S2 модулятора

Таблица 1. Описание портов DVB-S2 модулятора (часть 1 из 2)		
Порт	Разрядность	Описание
iband	W_BAND	Грубая установка символьной частоты.
iclk	1	Тактовая частота входных данных.
icode	4	Выбор схемы кодирования: 0 - 1/4; 1 - 1/3; 2 - 2/5; 3 - 1/2; 4 - 3/5; 5 - 2/3; 6 - 3/4; 7 - 4/5; 8 - 5/6; 9 - 8/9; 10 - 9/10.
idat	8	Входные (информационные) данные.
ifec	1	Выбор LDPC кодера: 0 - Normal FECFrame (Nldpc = 64800 bits); 1 - Short FECFrame (Nldpc = 16200 bits).
ifreq	W_FREQ	Значение выходной промежуточной частоты.
imod	1	Выбор модуляции: 0 - QPSK; 1 - 8-PSK.
iphase	W_PHASE	Корректировка квадратурности.
ipilot	1	Подключение пилот-сигнала: 0 - без пилот-сигнала; 1 - с пилот-сигналом.
iroll	2	Установка коэффициента скругления формирующего фильтра: 0 - alpha=0.35; 1 - alpha=0.25; 2 - alpha=0.2; 3 - alpha=0.15 (not standard).
irst	1	Асинхронный сброс.
isample	W_SAMPLE	Управление шириной спектра (символьной скоростью): от 0.01% до 25% от iclk
isop	1	Метка синхробайта входных данных (0x47 TS).
ival	1	Валидность входных данных.

Таблица 1. Описание портов DVB-S2 модулятора (часть 2 из 2)		
Порт	Разрядность	Описание
odatif	W_OUT	Выход модулятора на промежуточной частоте.
odati	W_OUT	Выход модулятора в основной полосе частот (I канал).
odatq	W_OUT	Выход модулятора в основной полосе частот (Q канал).
ordy	1	Готовность принимать входные данные.

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-S2 модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра DVB-S2 модулятора	
Параметр	Описание
W_BAND	Разрядность грубого управления символьной частотой/ шириной спектра (iband). Повышение разрядности iband увеличивает диапазон установки выходной символьной частоты, но одновременно увеличивает требуемый ресурс ПЛИС.
W_FREQ	Разрядность управления выходной промежуточной частотой (ifreq). Повышение разрядности ifreq увеличивает точность установки выходной промежуточной частоты, но одновременно увеличивает требуемый ресурс ПЛИС.
W_PHASE	Разрядность управления коррекцией квадратурности (iphase). Повышение разрядности iphase увеличивает точность компенсации ошибки внешнего квадратурного смесителя, но одновременно увеличивает требуемый ресурс ПЛИС.
W_SAMPLE	Разрядность управления символьной частотой/ шириной спектра (isample). Повышение разрядности isample увеличивает точность установки выходной символьной частоты, но одновременно увеличивает требуемый ресурс ПЛИС.
W_OUT	Разрядность выходных данных (odatif/odati/odatq). Повышение разрядности odatif/odati/odatq увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.

Скорость работы и занимаемый ресурс

В таблице 3 приведены результаты измерений IP ядра DVB-S2 модулятора.

Таблица 3. Производительность DVB-S2 модулятора				
Параметры кодера	Тип микросхемы ПЛИС			
	Ресурс	Speed grade ПЛИС, максимальная частота работы		
W_OUT=16 W_SAMPLE=12	Altera Cyclone III EP3C40			
	10,120 LEs 94 M9K blocks 22 DSP (18x18)	-8, Fmax	-7, Fmax	-6, Fmax
		106.0 MHz 26.5 Msymb/s	120.0 MHz 30.0 Msymb/s	140.0 MHz 35.0 Msymb/s
W_OUT=16 W_SAMPLE=12	Xilinx Spartan-3A DSP XC3SD1800			
	6,648 Slices 41 18K BRAM blocks 22 DSP (18x18)	-4, Fmax	-5, Fmax	
		116.0 MHz 29.0 Msymb/s	140.0 MHz 35.0 Msymb/s	

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется **odati** и **odatq**);
- На промежуточной частоте (используется **odatif**).

По умолчанию, IP ядро использует оба режима для формирования выходных данных. Не используемые выходы можно просто оставить неподключенными.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром DVB-S2 модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты **ifreq** не влияет на выходы модулятора **odati** и **odatq**.

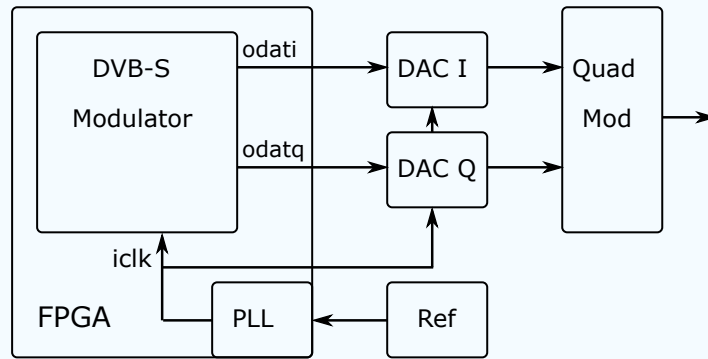


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

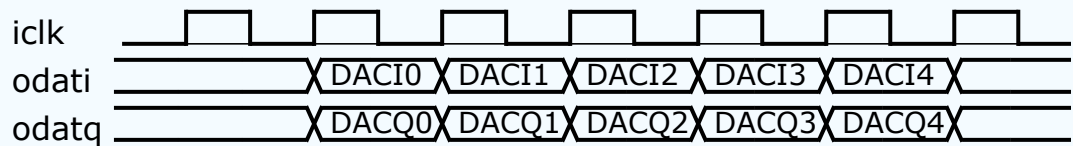


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты ifreq задает значение ПЧ на выходе модулятора odatif.

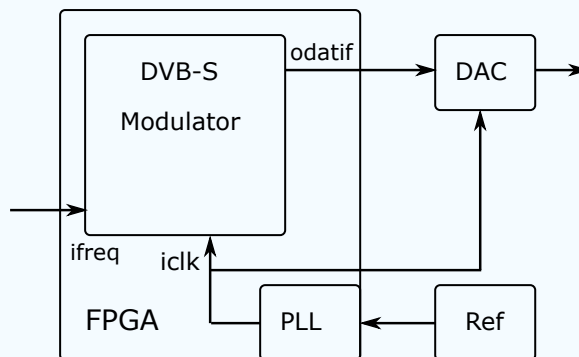


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.

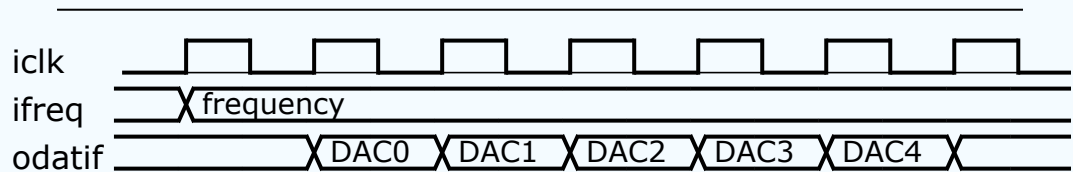


Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1"). В текущей версии IP ядра задержка **LATENCY** между **ival** и **ordy** равна нулю ("0"). Это означает, что сигнал **ival** должен полностью повторять форму сигнала **ordy**, глубина буферизации данных внутри IP ядра равна 0. Это сделано с целью экономии ресурса и возможности подключения внешнего буфера для данных.

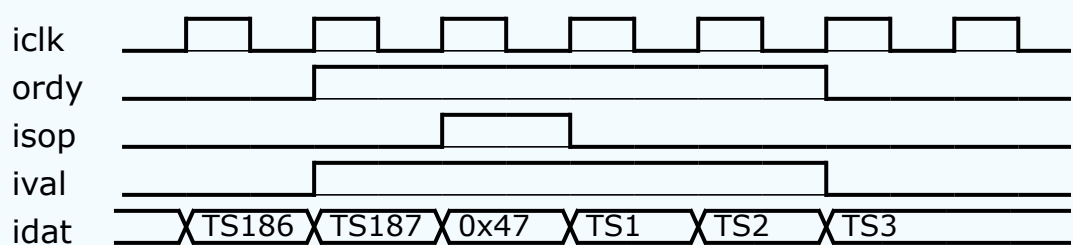


Рисунок 7. Временные диаграммы входного интерфейса IP ядра.

Текущая версия ядра не поддерживает режимы **ACM/VCM**, только **CCM**.

Обновление и техническая поддержка

Для получения актуальной информации об IP ядре DVB-S2 модулятора посетите страницу <http://www.iprium.ru/ipcores/id/dvbs2-modulator/>.

Зарегистрированные клиенты могут получать обновления vqm/ngc netlist'ов IP ядра через личный кабинет на сайте компании IPrium <http://www.iprium.ru/>.

Для получения технической поддержки зарегистрированные клиенты могут воспользоваться тикет-системой в личном кабинете на сайте компании IPrium <http://www.iprium.ru/>. Максимальный срок обработки запроса о технической поддержке - 2 рабочих дня.

Заказ IP ядра

Код заказа ядра DVB-S2 модулятора - **ip-dvbs2-modulator**.

Обратная связь

Компания IPrium (ООО "Иприум")

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)226454

E-mail: info@iprium.ru

website: <http://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
1.0	2011.06.06	Первый официальный релиз