



IP ядро кодера/декодера
Рида-Соломона
Краткое описание

Информация о релизе

Название	RS-CODEC
Версия	1.2
Дата сборки	2010.12
Код заказа	ip-rs-codec

Назначение IP ядра

Данное IP ядро реализует алгоритм помехоустойчивого кодирования Рида-Соломона и полностью совместимо со стандартами:

1. цифрового телевизионного вещания (DVB-S, DVB-C, DVB-T);
2. IEEE 802.11ad (WiGig, мульти-гигабитная беспроводная технология);
3. IEEE 802.16 (WiMAX модемы);
4. ITU G.992.1 (ADSL модемы);
5. ITU-T G.975 (2.5G, 10G и 40G оптические сети);
6. CD-ROM, DVD, Compact Flash (устройства хранения данных).

Комплект поставки

IP ядро кодера/декодера Рида-Соломона включает в себя:

- VQM/NGC/EDIF нетлисты для Altera Quartus II, Xilinx ISE, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Altera, Xilinx, Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра кодера Рида-Соломона.

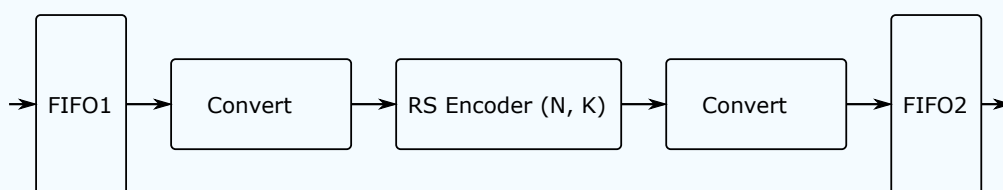


Рисунок 1. Структурная схема кодера Рида-Соломона

Особенностью данного кодера Рида-Соломона является поддержка высокоскоростного потокового режима работы. За счет внутренних блоков FIFO и Convert IP ядро с легкостью встраивается в PDH и SDH системы связи, гарантируя добавление избыточных (кодовых) символов без необходимости внешних схем уплотнения потока данных.

На рисунке 2 показана структурная схема IP ядра декодера Рида-Соломона.

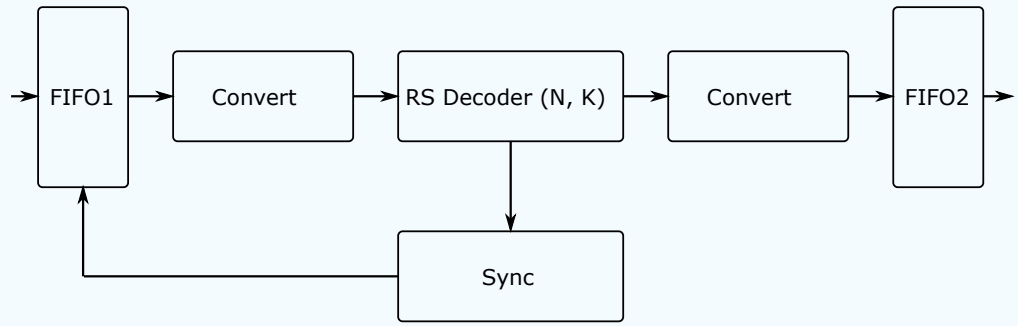


Рисунок 2. Структурная схема декодера Рида-Соломона

В декодере Рида-Соломона, помимо блоков **FIFO** и **Convert**, используется блок **Sync** - подсистема поиска кадровой синхронизации в кодовом потоке. Синхронизация декодера осуществляется как по заранее заданному синхросимволу, так и "в слепую", исходя из заданных порогов ошибок на выходе декодера.

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра кодера Рида-Соломона.

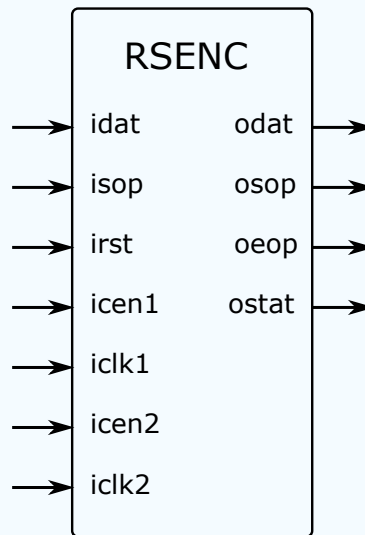


Рисунок 3. Карта портов кодера Рида-Соломона

Таблица 1. Описание портов кодера Рида-Соломона		
Порт	Тип	Описание
idat	вход	входные (информационные) данные
isop	вход	строб начала информационного блока
irst	вход	синхронный сброс
icen1	вход	разрешающий сигнал для iclk1
iclk1	вход	тактовая частота входных данных
icen2	вход	разрешающий сигнал для iclk2
iclk2	вход	тактовая частота выходных данных
odat	выход	выходные (кодированные) данные
osop	выход	строб начала кодированного блока
oeop	выход	строб окончания кодированного блока
ostat	выход	статус выдачи кодированного блока 0 - данных нет 1 - информационные символы 2 - проверочные символы

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра декодера Рида-Соломона.

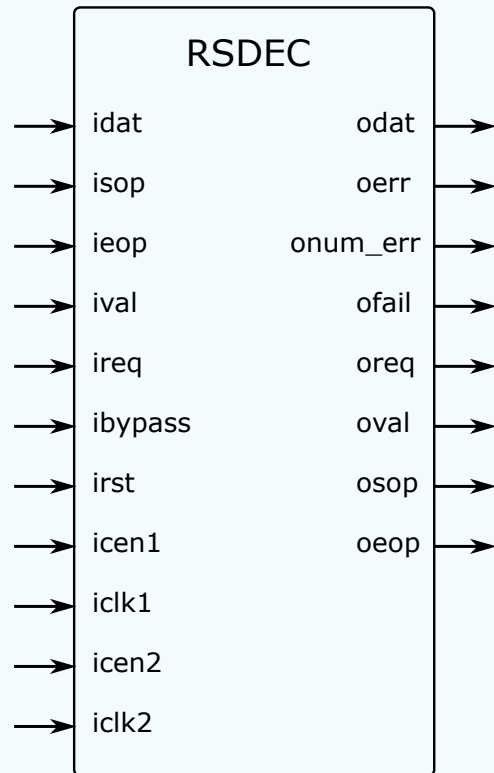


Рисунок 4. Карта портов декодера Рида-Соломона

Таблица 2. Описание портов декодера Рида-Соломона		
Порт	Тип	Описание
idat	вход	входные (кодированные) данные
isop	вход	строб начала кодированного блока (только для пакетного режима работы)
ieop	вход	строб окончания кодированного блока (только для пакетного режима работы)
ival	вход	готовность входных данных
ireq	вход	запрос на выдачу выходных данных (только для синхронного режима работы)
ibypass	вход	режим выдачи данных без коррекции ошибочных символов
irst	вход	синхронный сброс
icen1	вход	разрешающий сигнал для iclk1
iclk1	вход	тактовая частота входных данных
icen2	вход	разрешающий сигнал для iclk2
iclk2	вход	тактовая частота выходных данных
odat	выход	выходные данные (информационные)
oerr	выход	рассчитанный корректирующий символ
onum_err	выход	количество ошибочных символов в блоке
ofail	выход	неисправленный блок, количество ошибок в блоке превышает исправляющую способность кода
oreq	выход	запрос на входные данные (только для синхронного режима работы)
oval	выход	готовность выходных данных
osop	выход	строб начала выходного информационного блока
oeop	выход	строб окончания выходного информационного блока

Описание работы IP ядра

Для борьбы с искажениями информации в цифровых системах связи используют специальные помехоустойчивые коды. Кодер на передающей стороне добавляет в информационный поток специальные проверочные символы. На приемной стороне декодер использует избыточную информацию для борьбы с ошибочно принятыми символами. Исправляющая способность помехоустойчивого кода зависит как от количества избыточной информации, так и от самого алгоритма. Код Рида-Соломона относится к блоковым кодам. После K символов информационного блока кодер добавляет $2T$ проверочных символов, образуя N символов кодового блока, который и передается по каналу связи. $2T$ проверочных символов позволяют декодеру исправить до T ошибочно принятых символов. Если количество ошибок в принятом блоке превышает исправляющую способность кода (T), то декодер помечает весь блок как "неисправленный".

Главные особенности данного IP ядра:

1. синхронный, высокоскоростной алгоритм декодирования;
2. поддержка разных стандартов кодирования Рида-Соломона;
3. параметризованная разрядность символов (M), длина кодового блока (N), длина информационного блока (K), количество проверочных символов ($2T$);
4. поддержка укороченного кодирования;
5. настраиваемый примитивный образующий полином и генераторный полином;
6. фиксированная задержка декодирования.

Архитектура IP ядра кодера/декодера Рида-Соломона позволяет без переписывки кода менять:

1. Длину кодового (N) и информационного блоков (K).

Это позволяет получить гибкий помехоустойчивый код для адаптивных систем связи. Реализация оптимальна для синхронных систем связи, но поддерживает и пакетный режим работы. Преобразование синхронных потоков делается внутренними блоками FIFO и не требует создания сложных внешних схем выравнивания скоростей.

Параметры IP ядра

Доступные для изменения параметры IP ядра кодера/декодера Рида-Соломона представлены в таблице 3:

Таблица 3. Описание параметров IP ядра кодера/декодера Рида-Соломона	
Параметр	Описание
M	разрядность символов
N	длина кодового блока
K	длина информационного блока
W_IN	разрядность входных данных (convert, если не совпадает с M)
W_OUT	разрядность выходных данных (convert, если не совпадает с M)
2T	количество проверочных символов
MODE	режим работы IP ядра, "синхронный" или "пакетный"
POLY	образующий полином, например POLY = $x^8+x^4+x^3+x^2+1 = "10001111"$
ROOT	первый корень полинома, например ROOT = 0

Скорость работы и занимаемый ресурс

В таблице 4 приведены результаты измерений IP ядра кодера Рида-Соломона.

Таблица 4. Производительность кодера Рида-Соломона				
Параметры кодера	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
RS(255, 239) синхронный режим fifo +convert	Altera Cyclone II EP2C35			
	655 LEs 8,192 bits	-8, Fmax	-7, Fmax	-6, Fmax
		190.0 MHz 163.0 MHz (память ПЛИС)	247.0 MHz 195.0 MHz (память ПЛИС)	280.0 MHz 235.0 MHz (память ПЛИС)
RS(255, 239) синхронный режим fifo +convert	Xilinx Spartan-3A DSP XC3SD1800			
	329 slices 8,192 bits	-4, Fmax	-5, Fmax	
		184.0 MHz	210.0 MHz	

В таблице 5 приведены результаты измерений IP ядра декодера Рида-Соломона.

Таблица 5. Производительность декодера Рида-Соломона				
Параметры декодера	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
RS(255, 239) синхронный режим fifo +convert	Altera Cyclone II EP2C35			
	3,612 LEs 32,768 bits	-8, Fmax	-7, Fmax	-6, Fmax
		110.0 MHz	134.0 MHz	150.0 MHz
RS(255, 239) синхронный режим fifo +convert	Xilinx Spartan-3A DSP XC3SD1800			
	1,851 slices 32,768 bits	-4, Fmax	-5, Fmax	
		129.0 MHz	149.0 MHz	

Описание интерфейса IP ядра

Для управления процессом кодирования данных используется строб "начало информационного блока" **isop**, которым помечают первый информационный символ на входе кодера. Результирующий кодированный блок на выходе кодера также помечается stroбами "начало кодированного блока" **osop** и "окончание кодированного блока" **oeop**. Дополнительно кодер помечает статус выдаваемых данных при помощи **ostat**:

- 0 - данных на выходе нет;
- 1 - на выходе информационные символы кодированного блока;
- 2 - на выходе проверочные символы кодированного блока.

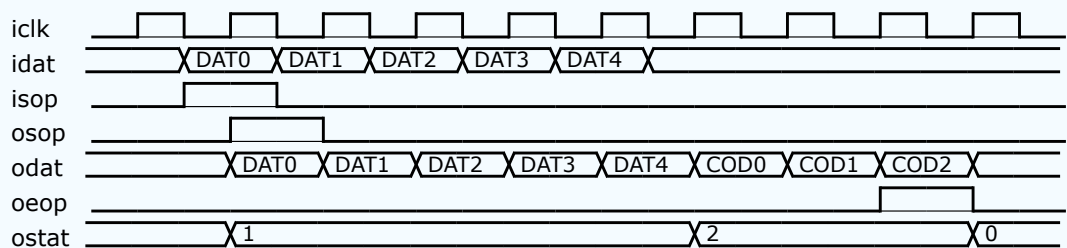


Рисунок 5. Временные диаграммы работы кодера Рида-Соломона

Задержка в кодере определяется режимом работы и параметрами кода. Для пакетного режима без применения FIFO задержка составляет 1 такт.

Обновление и техническая поддержка

Для получения актуальной информации об IP ядре кодера/декодера Рида-Соломона посетите страницу <http://www.iprium.ru/ipcores/id/rs-codec/>.

Зарегистрированные клиенты могут получать обновления vqm/ngc netlist'ов IP ядра через личный кабинет на сайте компании IPrium <http://www.iprium.ru/>.

Для получения технической поддержки зарегистрированные клиенты могут воспользоваться тикет-системой в личном кабинете на сайте компании IPrium <http://www.iprium.ru/>. Максимальный срок обработки запроса о технической поддержке - 2 рабочих дня.

Заказ IP ядра

Код заказа ядра кодера/декодера Рида-Соломона - ip-rs-codec.

Обратная связь

Компания IPrium (ООО "Иприум")

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)226454

E-mail: info@iprium.ru

website: <http://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
1.2	2010.12.02	Добавлена поддержка WiMAX и WiGig стандартов
1.1	2009.09.05	Текущие улучшения
1.0	2007.01.29	Первый релиз