



IP ядро декодера Витерби  
Краткое описание

## Информация о релизе

|             |                    |
|-------------|--------------------|
| Название    | VITERBI-DECODER    |
| Версия      | 1.2                |
| Дата сборки | 2012.01            |
| Код заказа  | ip-viterbi-decoder |

## Назначение IP ядра

Данное IP ядро реализует декодирование сверточных кодов на основе алгоритма Витерби и полностью совместимо со стандартами:

1. цифрового телевизионного вещания (DVB-S, DVB-C, DVB-T);
2. CDMA2000 (3GPP2), 3GPP LTE;
3. IEEE 802.16 (WiMAX модемы);
4. Intelsat IESS-308/309.

## Комплект поставки

IP ядро декодера Витерби включает в себя:

- VQM/NGC/EDIF нетлисты для Altera Quartus II, Xilinx ISE, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Altera, Xilinx, Lattice, Microsemi (Actel).

## Структура IP ядра

На рисунке 1 показана структурная схема IP ядра декодера Витерби.



**Рисунок 1. Структурная схема декодера Витерби**

IP ядро декодера Витерби имеет классическую структуру и содержит блок расчета метрики (**Branch Metric**), блок определения выжившего пути (**Add Compare Select**) и обратного прохода пути (**Traceback**). Для управления работой блоков и обеспечения внешнего интерфейса используется блок контроля (**Control**).

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра декодера Витерби.

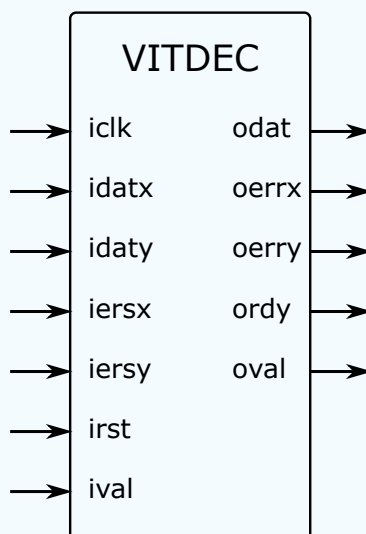


Рисунок 2. Карта портов декодера Витерби

| Таблица 1. Описание портов декодера Витерби |       |                                     |
|---|-------|-------------------------------------|
| Порт  | Тип   | Описание                            |
| iclk  | вход  | системная тактирующий сигнал        |
| idatx                                       | вход  | входные (канальные) данные          |
| idaty                                       | вход  | входные (канальные) данные          |
| iersx                                       | вход  | стирание для idatx                  |
| iersy                                       | вход  | стирание для idaty                  |
| irst  | вход  | асинхронный сброс                   |
| ival  | вход  | готовность входных данных           |
| odat  | выход | выходные (декодированные) данные    |
| oerrx                                       | выход | исправленная ошибка в idatx         |
| oerry                                       | выход | исправленная ошибка в idaty         |
| ordy  | выход | готовность принимать входные данные |
| oval  | выход | готовность выходных данных          |

## Формат мягкого решения

В таблице 2 приведена схема формирования входных данных с 3-х битным мягким решением.

|     |                        |
|-----|------------------------|
| 011 | Сильный логический "0" |
| 010 |                        |
| 001 |                        |
| 000 | Слабый логический "0"  |
| 111 | Слабая логическая "1"  |
| 110 |                        |
| 101 |                        |
| 100 | Сильная логическая "1" |

## Описание работы IP ядра

Для надежной передачи информации в цифровых системах связи используется специальный подкласс помехоустойчивых кодов - сверточные коды. В сверточном кодере на передающей стороне информационный поток, проходя через полиномиальный регистр сдвига с отводами, образует выходной кодированный поток. На приемной стороне декодер, используя принцип максимального правдоподобия принятых данных и выбирая наиболее вероятные последовательности, осуществляет исправление ошибок в канальном потоке. Исправляющая способность сверточного кодера зависит от длины кодового ограничения (constraint length), разрядности мягкого решения (soft decision), глубины обратного прохода пути (traceback). Алгоритм декодирования Витерби основан на том же принципе максимального правдоподобия, но за счет использования особенностей конкретной решетки сверточного кода в нем уменьшена вычислительная нагрузка и занимаемый ресурс.

Главные особенности данного IP ядра:

1. высокоскоростной параллельный алгоритм декодирования;
2. поддержка различных стандартов сверточного кодирования;
3. параметризованная длина кодового ограничения (**K**), разрядность входных данных (**W\_DAT**);
4. поддержка "пакетного" режима работы;
5. поддержка "треллис" режима работы;
6. фиксированная задержка декодирования (**TRBx4+2** такта);
7. индикация исправлений ошибок во входных данных.

Параметры IP ядра

Доступные для изменения параметры IP ядра декодера Витерби представлены в таблице 3:

| Таблица 3. Описание параметров IP ядра декодера Витерби |   |
|---|---|
| Параметр  | Описание  |
| K   | длина кодового ограничения (constraint length) сверточного кодера |
| POLY_X_Y  | полиномы сверточного кодера                                       |
| W_DAT   | разрядность входных данных (мягкого решения)                      |
| TRB   | глубина traceback   |

Скорость работы и занимаемый ресурс

В таблице 4 приведены результаты измерений IP ядра декодера Витерби.

| Таблица 4. Производительность декодера Витерби                         |                                   |  |           |           |
|--|-----------------------------------|--|-----------|-----------|
| Параметры кодера   | Тип микросхемы ПЛИС               |  |           |           |
|  | Ресурс                            | Speed grade, максимальная частота работы |           |           |
| VITDEC<br>K = 7, W_DAT = 4<br>TRB = 42<br>POLY_X = 171<br>POLY_Y = 133 | Altera Cyclone II EP2C35          |  |           |           |
|  | 2,502 LEs<br>10 M4K blocks        | -8, Fmax                                 | -7, Fmax  | -6, Fmax  |
|  |                                   | 123.3 MHz                                | 141.8 MHz | 165.7 MHz |
| VITDEC<br>K = 7, W_DAT = 4<br>TRB = 42<br>POLY_X = 171<br>POLY_Y = 133 | Xilinx Spartan-3A DSP XC3SD1800   |  |           |           |
|  | 1,495 Slices<br>5 18K BRAM blocks | -4, Fmax                                 | -5, Fmax  |           |
|  |                                   | 87.8 MHz                                 | 110.5 MHz |           |

### Обновление и техническая поддержка

Для получения актуальной информации об IP ядре декодера Витерби посетите страницу <http://www.iprium.ru/ipcores/id/viterbi-decoder/>.

Зарегистрированные клиенты могут получать обновления vqm/ngc netlist'ов IP ядра через личный кабинет на сайте компании IPrium <http://www.iprium.ru/>.

Для получения технической поддержки зарегистрированные клиенты могут воспользоваться тикет-системой в личном кабинете на сайте компании IPrium <http://www.iprium.ru/>. Максимальный срок обработки запроса о технической поддержке - 2 рабочих дня.

### Заказ IP ядра

Код заказа ядра декодера Витерби - **ip-viterbi-decoder**.

### Обратная связь

Компания IPrium (ООО "Иприум")

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)226454

E-mail: [info@iprium.ru](mailto:info@iprium.ru)

website: <http://www.iprium.ru/contacts/>

### История изменений

| Версия | Дата       | Изменения                         |
|--------|------------|-----------------------------------|
| 1.2    | 2012.01.10 | Изменения в интерфейсе управления |
| 1.1    | 2009.08.20 | Текущие улучшения                 |
| 1.0    | 2006.12.06 | Первый релиз                      |