



IP ядро ATSC 8VSB модулятора
Спецификация

Информация о релизе

Название	ATSC 8VSB Modulator IP Core
Версия	1.0
Дата сборки	2018.07
Код заказа	ip-atsc-8vsb-modulator
Ревизия Спецификации	r1422

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым ATSC 8VSB модулятором и полностью совместимо со стандартом ATSC A/53 Part 2.

Комплект поставки

IP ядро ATSC 8VSB модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра ATSC 8VSB модулятора.

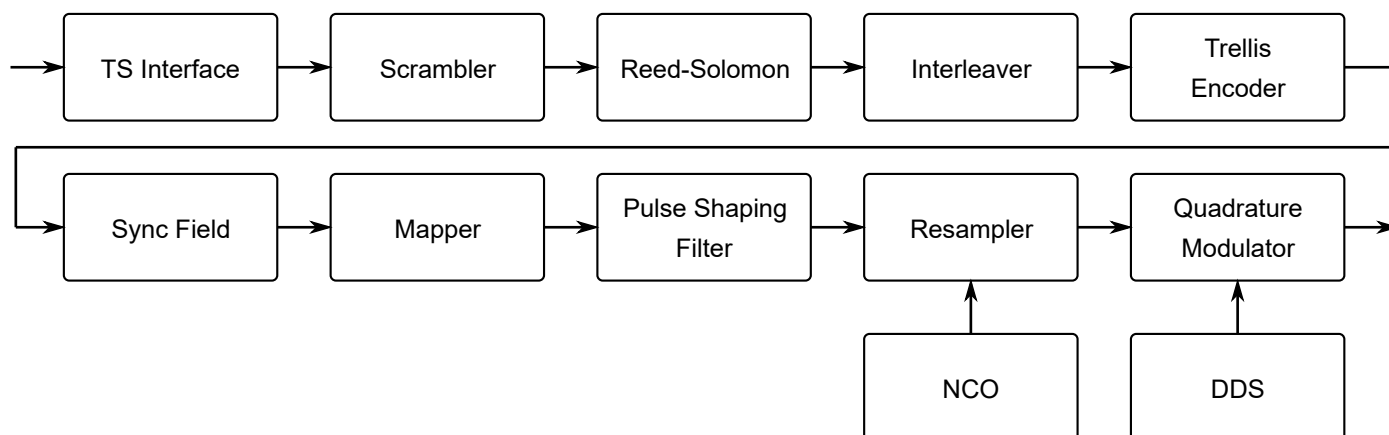


Рисунок 1. Структурная схема ATSC 8VSB модулятора

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра ATSC 8VSB модулятора.

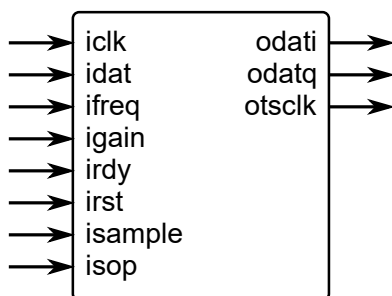


Рисунок 2. Карта портов ATSC 8VSB модулятора

Таблица 1. Описание портов ATSC 8VSB модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	8	Входные (информационные) данные.
ifreq	32	Значение выходной промежуточной частоты.
igain	W_DAC	Регулировка выходной мощности.
irdy	1	Запрос выходных данных модулятора.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isample	32	Управление шириной спектра (символьной скоростью): от 0.01% до 25% от iclk
isop	1	Строб синхробайта входных данных (0x47 TS).
odati	W_DAC	Выход модулятора в основной полосе частот (I канал) или на промежуточной частоте.
odatq	W_DAC	Выход модулятора в основной полосе частот (Q канал).
otsclk	1	Готовность принимать входные данные.

Параметры IP ядра

Доступные для изменения параметры IP ядра ATSC 8VSB модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра ATSC 8VSB модулятора	
Параметр	Описание
W_DAC	Разрядность выходных данных (odati/odatq). Повышение разрядности odati/odatq увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.

Установка значений портов

Некоторые входные порты, которые управляют работой IP ядра, должны быть установлены в соответствии с пользовательской конфигурацией.

Несущая частота:

$$ifreq = \frac{\text{Output Frequency (Hz)}}{\text{iclk rate (Hz)}} \cdot 2^{32}$$

Символьная частота:

$$isample = \frac{\text{Output Symbol rate (Hz)}}{\text{iclk rate (Hz)}} \cdot 2^{34}$$

Выходное усиление:

$$igain = 8192 \cdot \left(10^{\frac{\text{Output gain (db)}}{20}} - 1 \right)$$

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра ATSC 8VSB модулятора.

Таблица 3. Производительность ATSC 8VSB модулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_DAC=16	Altera Cyclone 10 LP 10CL080			
	6289 ALMs (7%) 14 M10K RAM blocks (4%) 12 DSP (18x18) (8%)	-8, Fmax 120.0 MHz	-7, Fmax 140.0 MHz	-6, Fmax 160.0 MHz
W_DAC=16	Xilinx Virtex-7 XC7VX330T			
	1595 Slices (4%) 12 18K RAM blocks (2%) 12 DSP (18x18) (1%)	-1, Fmax 220.0 MHz	-2, Fmax 260.0 MHz	-3, Fmax 300.0 MHz

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется **odati** и **odatq**), **ifreq** равно 0;
- На промежуточной частоте (используется **odati**), **ifreq** не равно 0.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром ATSC 8VSB модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима.

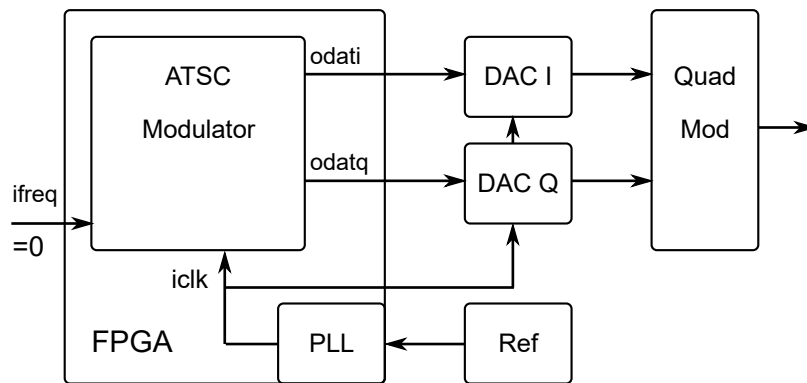


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

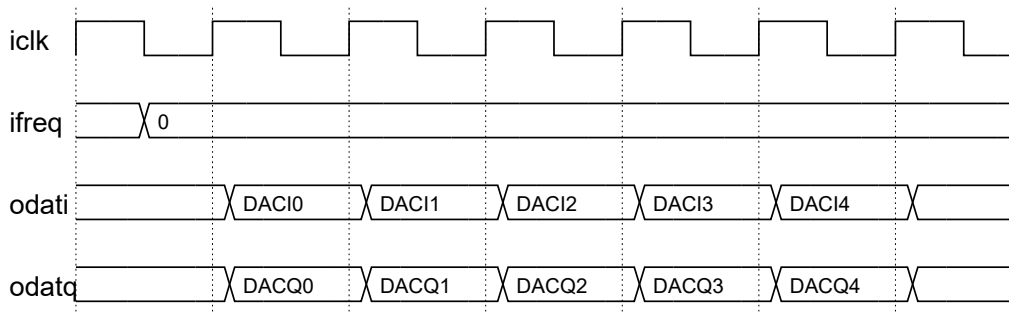


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты *ifreq* задает значение ПЧ на выходе модулятора *odati*.

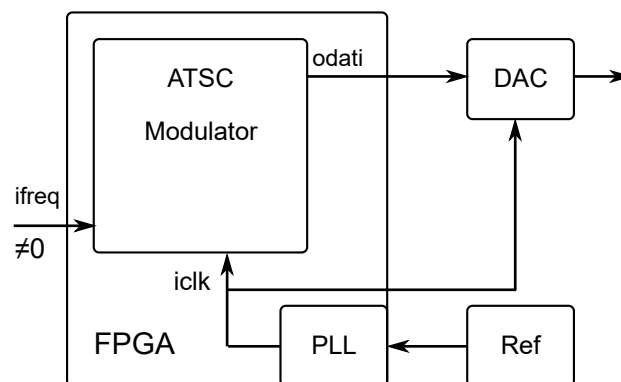


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.

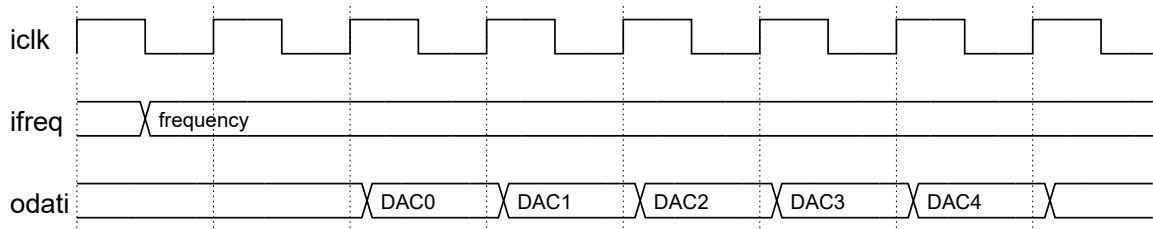


Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **otsclk**. Входные данные считываются с входа **idat** только тогда, когда **otsclk** равен единице ("1").

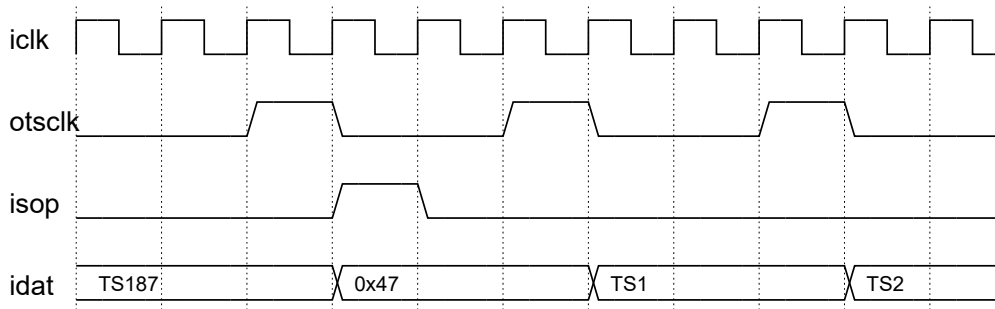


Рисунок 7. Временные диаграммы входного интерфейса IP ядра.

IP ядро ATSC 8VSB модулятора поддерживает 4-х канальный режим работы с RF DAC AD9789 и позволяет формировать спектр с полосой от 2 МГц до 9 МГц в диапазоне от 0 МГц до 1100 МГц.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/atsc-8vsb-modulator/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
1.0	2018.07.10	Официальный релиз