



IP ядро Пакетного BPSK Модема  
Спецификация

## Информация о релизе

|                      |                          |
|----------------------|--------------------------|
| Название             | Burst BPSK Modem IP Core |
| Версия               | 2.0                      |
| Дата сборки          | 2017.11                  |
| Код заказа           | ip-burst-bpsk-modem      |
| Ревизия Спецификации | r1383                    |

## Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым пакетным BPSK модемом и предназначено для работы в составе оборудования связи, работающего в полудуплексном режиме.

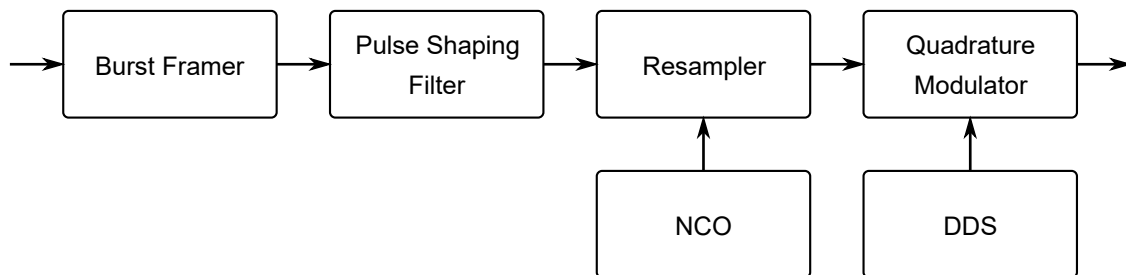
## Комплект поставки

IP ядро Пакетного BPSK Модема включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

## Структура IP ядра

На рисунке 1 показана структурная схема IP ядра Пакетного BPSK Модулятора.



**Рисунок 1. Структурная схема Пакетного BPSK Модулятора**

Пакетный BPSK Модулятор состоит из формирователя пакета и BPSK модулятора.

На рисунке 2 показана структурная схема IP ядра Пакетного BPSK Демодулятора.

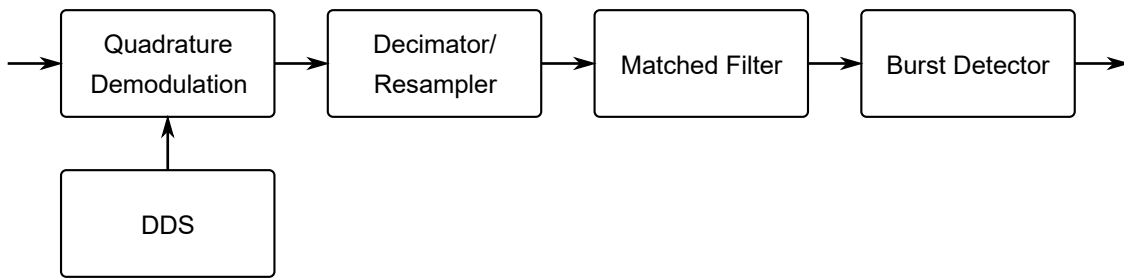


Рисунок 2. Структурная схема Пакетного BPSK Демодулятора

Пакетный BPSK Демодулятор состоит из некогерентного BPSK демодулятора и детектора пакета.

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра Пакетного BPSK Модулятора.

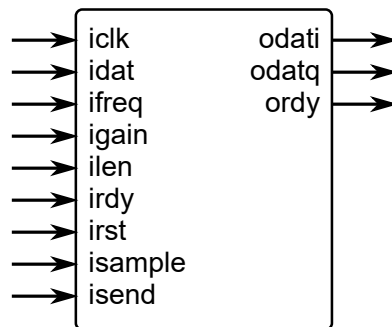


Рисунок 3. Карта портов Пакетного BPSK Модулятора

| Таблица 1. Описание портов Пакетного BPSK Модулятора |             |   |
|--|-------------|---|
| Порт   | Разрядность | Описание  |
| iclk   | 1           | Системная тактовая частота. IP ядро работает по переднему фронту iclk.  |
| idat   | 1           | Входные (информационные) данные.  |
| ifreq  | 32          | Значение выходной промежуточной частоты.  |
| igain  | 16          | Регулировка выходной мощности.  |
| ilen   | 8           | Установка длины полезной нагрузки пакета. Устанавливается в байтах минус 1. Например, ilen=31 означает 32 байта информации. |

|                |       |  |
|----------------|-------|--|
| irdy           | 1     | Запрос выходных данных модулятора.   |
| irst           | 1     | IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.       |
| isample        | 32    | Управление шириной спектра (символьной скоростью).                                     |
| isend          | 1     | Строб на отправку данных на передачу.  |
| odati<br>odatq | W_DAC | Комплексный IQ выход модулятора в основной полосе частот или на промежуточной частоте. |
| ordy           | 1     | Готовность принимать входные данные.   |

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра Пакетного BPSK Демодулятора.

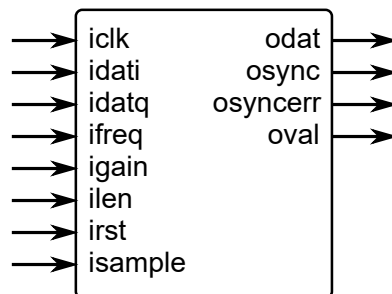


Рисунок 4. Карта портов Пакетного BPSK Демодулятора

| Таблица 2. Описание портов Пакетного BPSK Демодулятора |             |  |
|--|-------------|--|
| Порт   | Разрядность | Описание   |
| iclk   | 1           | Системная тактовая частота   |
| idati<br>idatq   | W_ADC       | Комплексный IQ вход в основной полосе частот или на промежуточной частоте. |
| ifreq  | 32          | Значение выходной промежуточной частоты.                                   |
| igain  | 6           | Коэффициент усиления приемного CIC-фильтра.                                |

|          |    |  |
|----------|----|--|
| ilen     | 8  | Установка длины полезной нагрузки пакета.<br>Устанавливается в байтах минус 1. Например, ilen=31 означает 32 байта информации. |
| irst     | 1  | Синхронный сброс (1 - сброс / 0 - работа).   |
| isample  | 32 | Управление шириной спектра (символьной скоростью).   |
| odat     | 1  | Выходные (информационные) данные.  |
| osync    | 1  | Индикатор захвата преамбулы.   |
| osyncerr | 1  | Индикатор ошибочного захвата преамбулы.  |
| oval     | 1  | Строб валидности выходных данных.  |

Описание  
работы IP ядра

Главные особенности данного IP ядра:

- Пакетный режим работы;
- Синхронный, высокоскоростной алгоритм формирования BPSK сигнала;
- Символьная частота изменяется от 1/4 до 1/16384 от системной тактовой частоты;
- Максимальная расстройка между модемами по несущей частоте до  $\pm 12.5\%$  от значения символьной частоты;
- Максимальная расстройка между модемами по символьной частоте до  $\pm 0.5 / (8 * (ilen + 5))$  от символьной частоты;
- Автоматическая вставка и удаление преамбулы и CRC16;
- Полностью цифровое обнаружение и демодуляция пакета данных;
- Фиксированная задержка в модуляторе и демодуляторе.

На рисунке 5 приведена структура пакета. Пакет состоит из 32 бит преамбулы, 1-256 байт данных, 16 бит CRC16. Каждый бит передается одним символом BPSK.

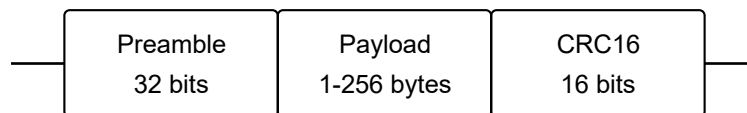


Рисунок 5. Структура пакета

Параметры IP ядра

Доступные для изменения параметры IP ядра Пакетного BPSK Модема представлены в таблице 3:

| Таблица 3. Описание параметров IP ядра Пакетного BPSK Модема |   |
|--|---|
| Параметр   | Описание  |
| W_ADC  | <b>ADC Width.</b> Разрядность входных отчетов Демодулятора ( <i>idati/idatq</i> ), поступающих с АЦП. |
| W_DAC  | <b>DAC Width.</b> Разрядность выходных отчетов Модулятора ( <i>odati/odatq</i> ), поступающих на ЦАП. |

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра Пакетного BPSK Модулятора.

| Таблица 4. Производительность Пакетного BPSK Модулятора |   |  |  |  |
|---|---|--|--|--|
| Параметры IP ядра                                       | Тип микросхемы ПЛИС   |  |  |  |
|   | Ресурс  | Speed grade, максимальная частота работы |  |  |
| W_DAC = 16  | Altera Cyclone V 5CEFA7   |  |  |  |
|   | 555 ALMs (1%)<br>1 M10K RAM block (1%)<br>12 DSP (18x18) (8%)   | -8, Fmax                                 | -7, Fmax                               | -6, Fmax                               |
|   |   | 120.0 MHz<br>30.0 MSPS to<br>7.3 KSPS    | 130.0 MHz<br>32.5 MSPS to<br>7.9 KSPS  | 160.0 MHz<br>40.0 MSPS to<br>9.7 KSPS  |
| W_DAC = 16  | Xilinx Virtex-7 XC7VX330T                                       |  |  |  |
|   | 288 Slices (1%)<br>1 18K RAM blocks (1%)<br>12 DSP (18x18) (2%) | -1, Fmax                                 | -2, Fmax                               | -3, Fmax                               |
|   |   | 250.0 MHz<br>62.5 MSPS to<br>15.2 KSPS   | 300.0 MHz<br>75.0 MSPS to<br>18.3 KSPS | 344.0 MHz<br>86.0 MSPS to<br>21.0 KSPS |

В таблице 5 приведены результаты измерений IP ядра Пакетного BPSK Демодулятора.

| Таблица 5. Производительность Пакетного BPSK Демодулятора |   |  |  |  |
|---|---|--|--|--|
| Параметры IP ядра   | Тип микросхемы ПЛИС   |  |  |  |
|   | Ресурс  | Speed grade, максимальная частота работы |  |  |
| W_ADC = 14  | Altera Cyclone V 5CEFA7   |  |  |  |
|   | 3657 ALMs (7%)<br>5 M10K RAM block (1%)<br>6 DSP (18x18) (4%)   | -8, Fmax                                 | -7, Fmax                               | -6, Fmax                               |
|   |   | 104.0 MHz<br>26.0 MSPS to<br>6.4 KSPS    | 120.0 MHz<br>30.0 MSPS to<br>7.3 KSPS  | 146.0 MHz<br>36.5 MSPS to<br>8.9 KSPS  |
| W_ADC = 14  | Xilinx Virtex-7 XC7VX330T                                       |  |  |  |
|   | 2290 Slices (5%)<br>1 18K RAM blocks (1%)<br>6 DSP (18x18) (2%) | -1, Fmax                                 | -2, Fmax                               | -3, Fmax                               |
|   |   | 222.0 MHz<br>55.5 MSPS to<br>13.5 KSPS   | 254.0 MHz<br>63.5 MSPS to<br>15.5 KSPS | 296.0 MHz<br>74.0 MSPS to<br>18.0 KSPS |

Описание интерфейса IP ядра

На рисунке 6 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1").

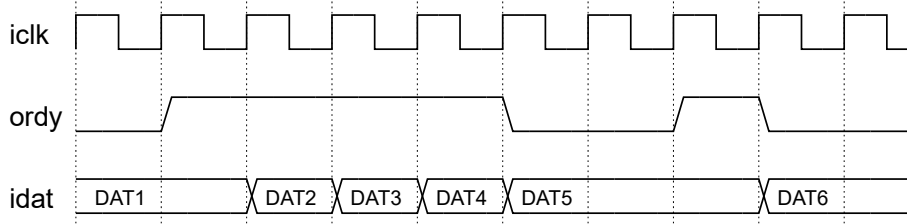


Рисунок 6. Временные диаграммы работы Пакетного BPSK Модулятора



### Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/burst-bpsk-modem/>

### Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: [info@iprium.ru](mailto:info@iprium.ru)

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

### История изменений

| Версия | Дата       | Изменения   |
|--------|------------|---|
| 2.0    | 2017.11.14 | Добавлена поддержка AD9361, AD9363, AD9364, AD9371, AD9375 и AD9789 |
| 1.1    | 2016.04.06 | Добавлена поддержка длины блока от 4 байт до 256 байт               |
| 1.0    | 2016.03.01 | Официальный релиз   |