



IP ядро DVB-CID модулятора
Спецификация

Информация о релизе

Название	DVB-CID Modulator IP Core
Версия	4.0
Дата сборки	2017.11
Код заказа	ip-dvb-cid-modulator
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым DVB-CID модулятором и полностью совместимо со стандартом:

- ETSI TS 103 129 v1.1.1 (2013-05).

Комплект поставки

IP ядро DVB-CID модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-CID модулятора.

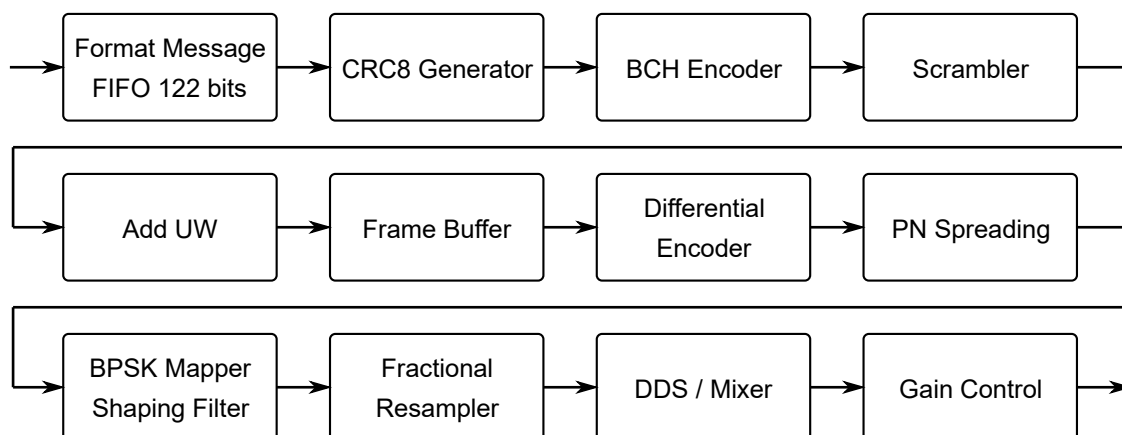


Рисунок 1. Структурная схема DVB-CID модулятора

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра DVB-CID модулятора.

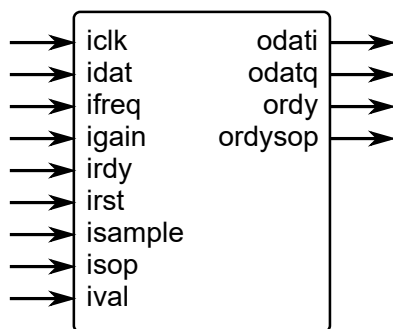


Рисунок 2. Карта портов DVB-CID модулятора

Таблица 1. Описание портов DVB-CID модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	1	Входные (информационные) данные.
ifreq	32	Значение выходной промежуточной частоты.
igain	16	Регулировка выходной мощности.
irdy	1	Запрос выходных данных модулятора.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isample	32	Управление шириной спектра (символьной скоростью)
isop	1	Строб начала фрейма (122 бита) данных.
ival	1	Валидность входных данных.
odati odatq	16	Комплексный IQ выход модулятора в основной полосе частот или на промежуточной частоте.
ordy	1	Готовность принимать входные данные.

ordysop	1	Готовность к началу нового фрейма 122 бит.
---------	---	--

Описание работы IP ядра

Главные особенности данного IP ядра:

- Синхронный, высокоскоростной алгоритм формирования DVB-CID VPSK сигнала;
- Диапазон выходной промежуточной частоты до 40% от системной тактовой частоты;
- Дробная установка символьной частоты до 1/4 от системной тактовой частоты;
- Фиксированная задержка в модуляторе.

Установка значений портов

Некоторые входные порты, которые управляют работой IP ядра, должны быть установлены в соответствии с пользовательской конфигурацией.

Несущая частота:

$$ifreq = \frac{\text{Output Frequency (Hz)}}{iclk\ rate (Hz)} \cdot 2^{32}$$

Символьная частота:

$$isample = \frac{\text{Output Symbol rate (Hz)}}{iclk\ rate (Hz)} \cdot 2^{34}$$

Выходное усиление:

$$igain = 8192 \cdot \left(10^{\frac{\text{Output gain (db)}}{20}} - 1 \right)$$

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-CID модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра DVB-CID модулятора	
Параметр	Описание
Нет доступных параметров для изменения	

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра DVB-CID модулятора.

Таблица 3. Производительность DVB-CID модулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
	Altera Cyclone V 5CEFA7			
	1355 ALMs (3%) 1 M10K RAM blocks (1%) 12 DSP (18x18) (8%)	-8, Fmax	-7, Fmax	-6, Fmax
		150.0 MHz	169.0 MHz	193.0 MHz
	Xilinx Virtex-7 XC7VX330T			
	686 Slices (2%) 1 18K RAM blocks (1%) 12 DSP (18x18) (1%)	-1, Fmax	-2, Fmax	-3, Fmax
		254.0 MHz	310.0 MHz	323.0 MHz

Описание интерфейса IP ядра

Схема подключения IP ядра DVB-CID Модулятора к существующему спутниковому модулятору показана на рисунке 3.

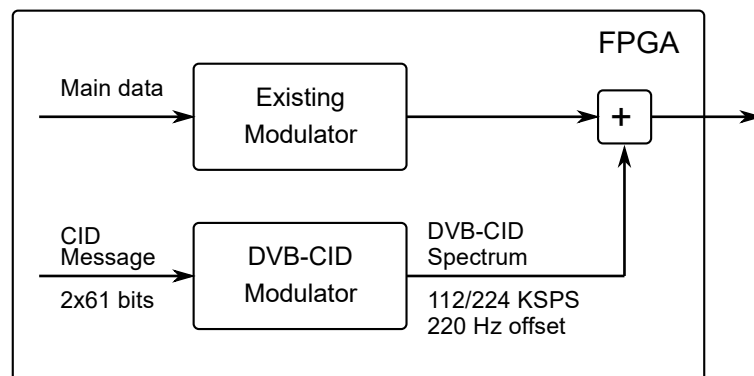


Рисунок 3. Схема подключения IP ядра к существующему модулятору.

На рисунке 4 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1"). После того как **ordysop** переходит в "1", есть 0.39 секунды, чтобы записать 122-битный информационный фрейм. Каждый бит **idat** должен помечаться сигналом **ival** = 1. Первый бит фрейма должен помечаться сигналом **isop** = 1.

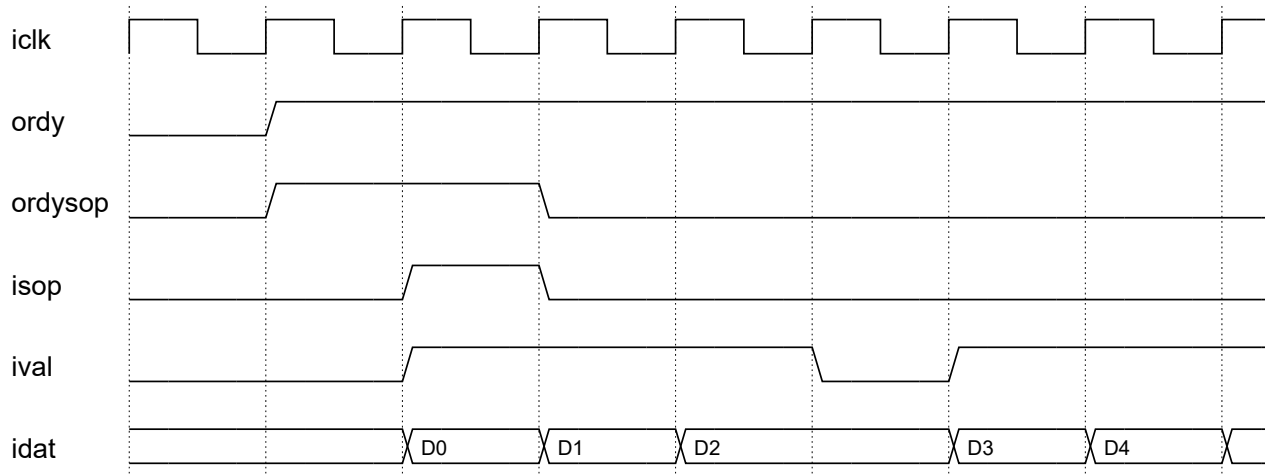


Рисунок 4. Временные диаграммы входного интерфейса IP ядра.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/dvb-cid-modulator/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
4.0	2017.11.14	Добавлена поддержка AD9361, AD9363, AD9364, AD9371, AD9375 и AD9789
3.0	2014.10.21	Интеграция BPSK Модулятора в DVB-CID Модулятор
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.0	2014.01.21	Официальный релиз