



IP ядро DVB-S Демодулятора
Спецификация

Информация о релизе

Название	DVB-S Demodulator IP Core
Версия	2.0
Дата сборки	2020.12
Код заказа	ip-dvb-s-demodulator
Ревизия Спецификации	r1884

Назначение IP ядра

IP ядро DVB-S Демодулятора является QPSK демодулятором и канальным декодером для европейского стандарта спутникового цифрового телевизионного вещания ETSI EN 300 421. IP ядро принимает I и Q сигналы с АЦП, производит цифровую демодуляцию, а затем декодирует и дескремблирует их. Выходные данные IP ядра выдаются в виде потока MPEG2 транспортных пакетов.

Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

Комплект поставки

IP ядро DVB-S Демодулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-S Демодулятора.

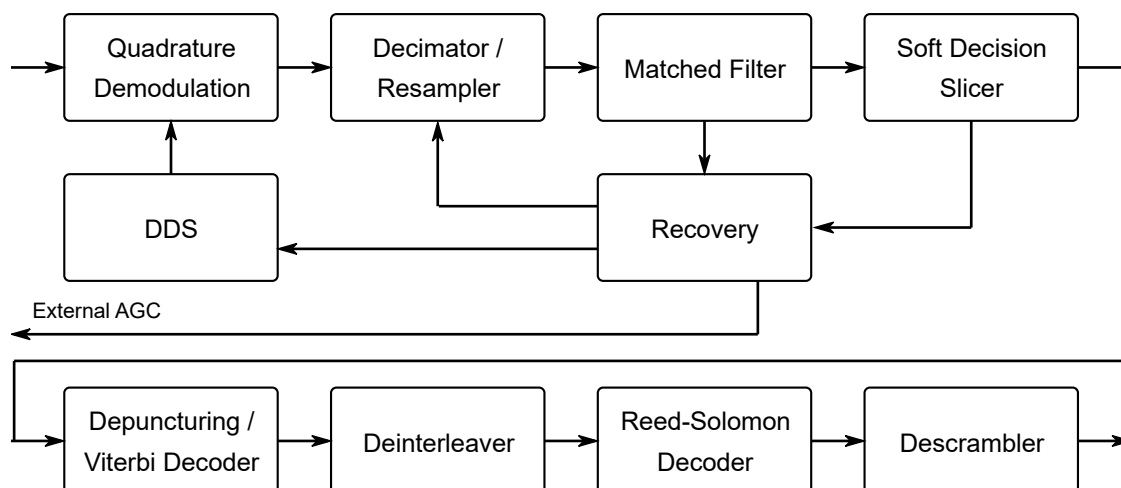


Рисунок 1. Структурная схема DVB-S Демодулятора

Карта портов

В таблице 1 дано описание портов IP ядра DVB-S Демодулятора.

Таблица 1. Описание портов RS-QPSK Демодулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота
icode	3	Выбор схемы кодирования: 0 - 1/2; 1 - 2/3; 2 - 3/4; 3 - 5/6; 4 - 7/8; 5 - Слепой поиск.
idati	W_ADC	Входные данные (I-канал)
idatq	W_ADC	Входные данные (Q-канал)
imixer_freq	32	Значение выходной промежуточной частоты
ingc1_ref	10	Установка опорного уровня внешней АРУ
ingc2_gain	8	Регулировка скорости подстройки внутренней АРУ
ingc2_max	16	Максимальный уровень подстройки внутренней АРУ
ingc2_min	16	Минимальный уровень подстройки внутренней АРУ
ingc2_ref	10	Установка опорного уровня внутренней АРУ

ingc3_lag	3	Регулировка скорости подстройки АРУ созвездия
ingc3_ref	8	Установка опорного уровня АРУ созвездия
irecoverc_lag	5	Выбор полосы петлевого фильтра для подстройки несущей частоты
irecoverc_lead	5	Выбор полосы петлевого фильтра для подстройки несущей частоты
irecoverc_limit	5	Установка диапазона изменений для подстройки несущей частоты
irecoverc_wen	1	Разрешение работы петлевого фильтра для подстройки несущей частоты
irecoverc_lag	5	Выбор полосы петлевого фильтра для подстройки символьной частоты
irecoverc_lead	5	Выбор полосы петлевого фильтра для подстройки символьной частоты
irecoverc_limit	5	Установка диапазона изменений для подстройки символьной частоты
irecoverc_wen	1	Разрешение работы петлевого фильтра для подстройки символьной частоты
iresampler_cicgain	6	Коэффициент усиления CIC-фильтра
iresampler_div	12	Степень децимации CIC-фильтра (когда iresampler_src = 1)
iresampler_freq	32	Установка коэффициента дробной децимации (когда iresampler_src = 0)
iresampler_src	1	Отключение дробной децимации
irst	1	Синхронный сброс (1 - сброс / 0 - работа)

itrsh	8	Установка уровня для формирователя мягкого решения на входе в декодер Витерби
ongc1_det	1	Выход детектора внешней АРУ
orecoverc_acc	32	Величина ошибки по несущей частоте
orecoverc_lock	2	Индикатор захвата по несущей частоте
ors_dat	8	Декодированные данные с блока Рида-Соломона (до дескремблера)
ors_decfail	1	Ошибка декодирования блока Рида-Соломона
ors_err	8	Маска коррекции декодированного байта кода Рида-Соломона
ors_numerr	5	Количество обнаруженных ошибочных символов в блоке Рида-Соломона
ors_sop	1	Метка начала блока Рида-Соломона
ors_val	1	Валидность символа блока Рида-Соломона
osmb_dati	8	Выходное созвездие (I-канал)
osmb_datq	8	Выходное созвездие (Q-канал)
osmb_val	1	Строб валидности osmb_dati/osmb_datq
ostate	2	Состояние захвата блока данных
osync	1	Индикатор захвата преамбулы 0x47
ots_dat	8	Выходные (информационные) данные
ots_sop	1	Синхросигнал на выходе ots_dat
ots_val	1	Валидность ots_dat

ovitdec_dat	1	Выходные данные из декодера Витерби
ovitdec_err	2	Маска коррекции декодированного бита на выходе декодера Витерби
ovitdec_val	1	Валидность символа из декодера Витерби

Описание работы IP ядра

Главные особенности данного IP ядра:

- Синхронный, высокоскоростной алгоритм демодуляции QPSK сигналов;
- Символьная частота до 1/2 от системной тактовой частоты;
- Диапазон символьных скоростей от 200 МСимволов/с до 50 КСимволов/с (на плате Xilinx ZCU102);
- Полностью цифровое восстановление опорных частот и демодуляция сигнала;
- Декодер Витерби, Деинтерливер и Декодер Рида-Соломона высокой производительности;
- Фиксированная задержка в демодуляторе.

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-S Демодулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра DVB-S Демодулятора	
Параметр	Описание
W_ADC	ADC Width. Разрядность входных отчетов Демодулятора (idati/idatq), поступающих с АЦП.

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра DVB-S Демодулятора.

Таблица 3. Производительность DVB-S Демодулятора		
Параметры IP ядра	Тип микросхемы ПЛИС	
	Ресурс	Производительность
W_ADC = 14	Xilinx ZCU102 board, XCZU9EG	
	2090 CLBs (6%) 11 18K RAM blocks (1%) 14 DSP (18x18) (1%)	410.0 MHz System Clock Rate 205.0 MSymbols/s QPSK 188.92157 Mbit/s with Code Rate 1/2 251.89542 Mbit/s with Code Rate 2/3 283.38235 Mbit/s with Code Rate 3/4 314.86928 Mbit/s with Code Rate 5/6 330.61275 Mbit/s with Code Rate 7/8

Описание интерфейса IP ядра

На рисунке 2 приведен пример временной диаграммы для выходного интерфейса. Скорость выходного потока регулируется сигналом `ots_val`. Выходные данные считываются с выхода `ots_dat` только тогда, когда `ots_val` равен единице ("1").

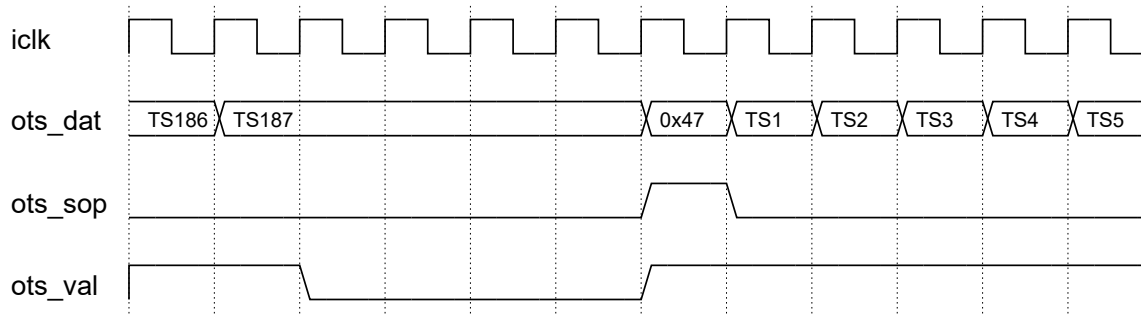


Рисунок 2. Временные диаграммы выходного интерфейса IP ядра.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/dvb-s-demodulator/>

Обратная связь

Иприум

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.0	2020.12.01	Новая архитектура с увеличением полосы демодуляции в два раза
1.2	2017.07.11	Изменен выходной интерфейс. Добавлены порты ошибки по несущей частоте
1.1	2016.08.09	Изменен выходной интерфейс. Добавлены порты индикации ошибок декодирования
1.0	2015.06.30	Официальный релиз