



IP ядро DVB-C модулятора
Спецификация

Информация о релизе

Название	DVB-C Modulator IP Core
Версия	4.0
Дата сборки	2017.11
Код заказа	ip-dvbc-modulator
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым DVB-C модулятором и полностью совместимо со стандартом ETSI EN 300 429 (v1.2.1).

Комплект поставки

IP ядро DVB-C модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-C модулятора.

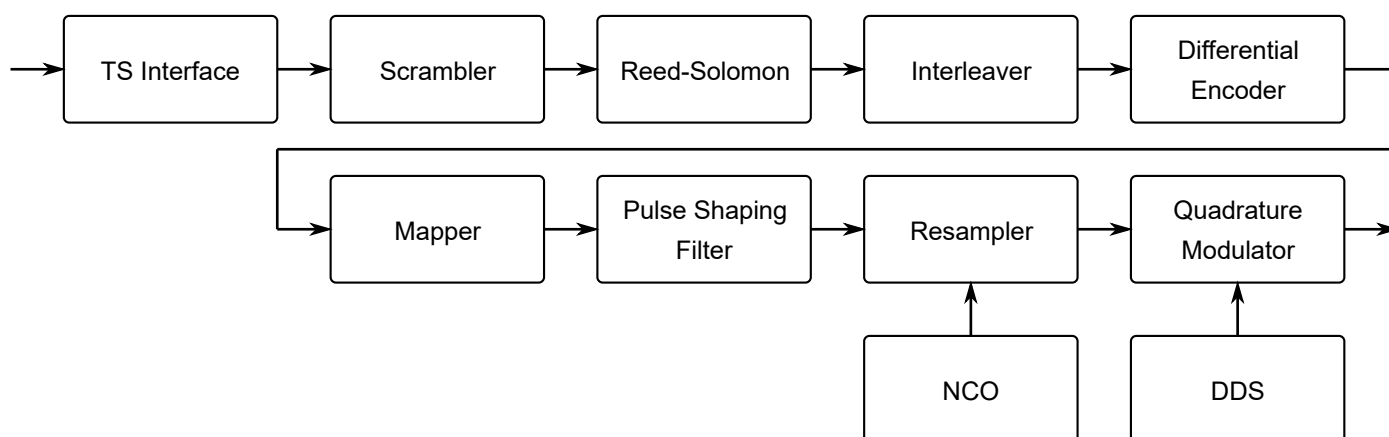


Рисунок 1. Структурная схема DVB-C модулятора

DVB-C модулятор состоит из входного TS интерфейса (TS Interface), скремблера (Scrambler), кодера Рида-Соломона (Reed-Solomon), перемежителя (Interleaver), дифференциального кодера (Differential Encoder), маппера созвездия (Mapper), формирующего фильтра (Pulse Shaping Filter), дробного интерполятора/ресемплера (Resampler), квадратурного модулятора (Quadrature Modulator), цифрового тактового генератора (NCO) и цифрового синтезатора частот

(Direct Digital Synthesis).

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра DVB-C модулятора.

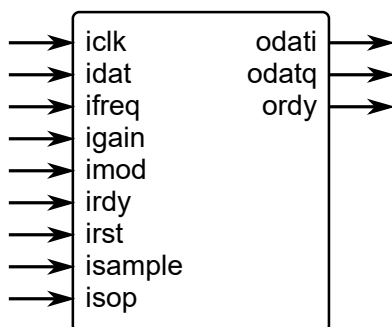


Рисунок 2. Карта портов DVB-C модулятора

Таблица 1. Описание портов DVB-C модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	8	Входные (информационные) данные.
ifreq	32	Значение выходной промежуточной частоты.
igain	W_DAC	Регулировка выходной мощности.
imod	3	Выбор схемы модуляции: 0 - 16-QAM; 1 - 32-QAM; 2 - 64-QAM; 3 - 128-QAM; 4 - 256-QAM.
irdy	1	Запрос выходных данных модулятора.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isample	32	Управление шириной спектра (символьной скоростью): от 0.01% до 25% от iclk
isop	1	Строб синхробайта входных данных (0x47 TS).

odati	W_DAC	Выход модулятора в основной полосе частот (I канал) или на промежуточной частоте.
odatq	W_DAC	Выход модулятора в основной полосе частот (Q канал).
ordy	1	Готовность принимать входные данные.

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-C модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра DVB-C модулятора	
Параметр	Описание
W_DAC	Разрядность выходных данных (odati/odatq). Повышение разрядности odati/odatq увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.

Установка значений портов

Некоторые входные порты, которые управляют работой IP ядра, должны быть установлены в соответствии с пользовательской конфигурацией.

Несущая частота:

$$ifreq = \frac{\text{Output Frequency (Hz)}}{\text{iclk rate (Hz)}} \cdot 2^{32}$$

Символьная частота:

$$isample = \frac{\text{Output Symbol rate (Hz)}}{\text{iclk rate (Hz)}} \cdot 2^{34}$$

Выходное усиление:

$$igain = 8192 \cdot \left(10^{\frac{\text{Output gain (db)}}{20}} - 1 \right)$$

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра DVB-C модулятора.

Таблица 3. Производительность DVB-C модулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_DAC=16	Altera Cyclone V 5CEFA7			
	2326 ALMs (5%) 15 M10K RAM blocks (3%) 12 DSP (18x18) (8%)	-8, Fmax 140.0 MHz 35.0 Msymb/s	-7, Fmax 168.0 MHz 42.0 Msymb/s	-6, Fmax 180.0 MHz 45.0 Msymb/s
W_DAC=16	Xilinx Virtex-7 XC7VX330T			
	1623 Slices (4%) 9 18K RAM blocks (1%) 12 DSP (18x18) (1%)	-1, Fmax 228.0 MHz 57.0 Msymb/s	-2, Fmax 276.0 MHz 69.0 Msymb/s	-3, Fmax 302.0 MHz 75.5 Msymb/s

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется **odati** и **odatq**), **ifreq** равно 0;
- На промежуточной частоте (используется **odati**), **ifreq** не равно 0.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром DVB-C модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима.

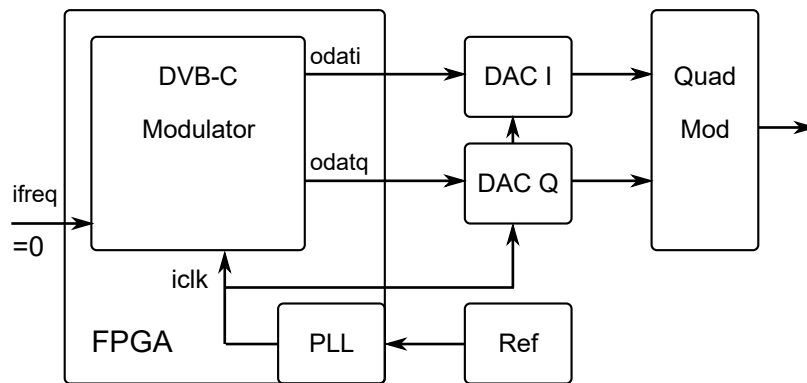


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

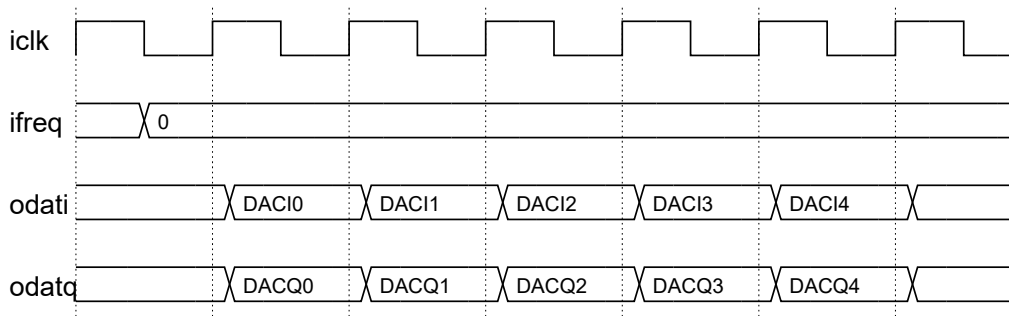


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты *ifreq* задает значение ПЧ на выходе модулятора *odati*.

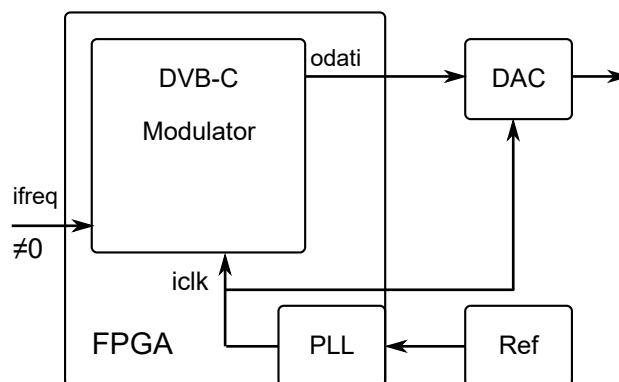


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.

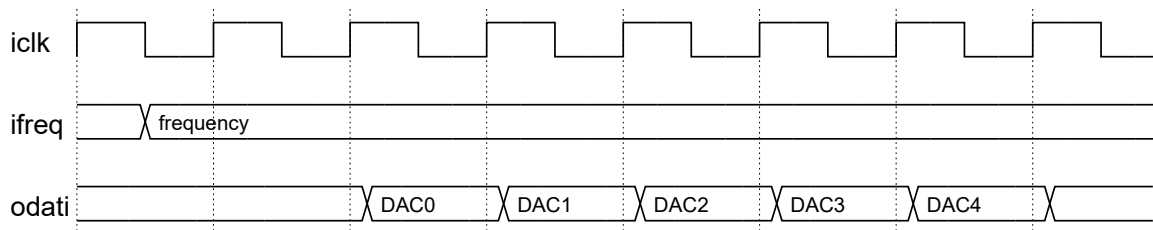


Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1").

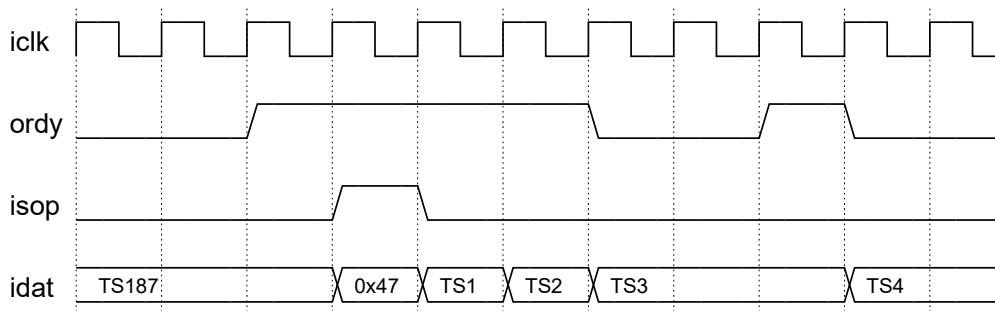


Рисунок 7. Временные диаграммы входного интерфейса IP ядра.

Время реакции выходных данных на изменение режима работы DVB-C модулятора через **imod**, **isample** порты составляет не более одной тысячи (1000) символов DVB-C. Корректное формирование спектра DVB-C сигнала в течение одной тысячи (1000) символов после изменения конфигурации не гарантируется.

IP ядро DVB-C модулятора поддерживает 4-х каналный режим работы с RF DAC AD9789 и позволяет формировать спектр с полосой от 2 МГц до 9 МГц в диапазоне от 0 МГц до 1100 МГц.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/dvbc-modulator/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
4.0	2017.11.14	Добавлена поддержка AD9361, AD9363, AD9364, AD9371, AD9375 и AD9789
3.1	2015.04.06	Добавлена поддержка AD9789 (2400 MSPS RF ЦАП) и 4-х канального режима работы
3.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
2.0	2014.03.17	Улучшение MER и C/I параметров модулятора
1.1	2010.12.22	Текущие улучшения
1.0	2010.12.03	Официальный релиз