



IP ядро DVB-C модулятора
Спецификация

Информация о релизе

Название	DVB-C Modulator IP Core
Версия	5.1
Дата сборки	2021.03
Код заказа	ip-dvbc-modulator
Ревизия Спецификации	r1884

Назначение IP ядра

Данное IP ядро является полнофункциональным 32-х канальным цифровым DVB-C модулятором и полностью совместимо со стандартом ETSI EN 300 429 (v1.2.1).

Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

Комплект поставки

IP ядро DVB-C модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-C модулятора для одного канала.

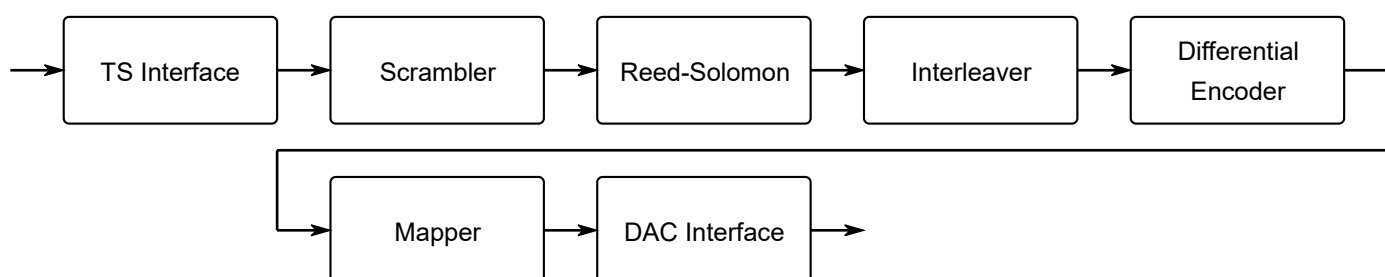


Рисунок 1. Структурная схема DVB-C модулятора

DVB-C модулятор состоит из входного TS интерфейса (TS Interface), скремблера (Scrambler), кодера Рида-Соломона

(Reed-Solomon), перемежителя (Interleaver), дифференциального кодера (Differential Encoder), маппера созвездия (Mapper) и интерфейса MAX5861/MAX5862 (DAC Interface).

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра DVB-C модулятора.

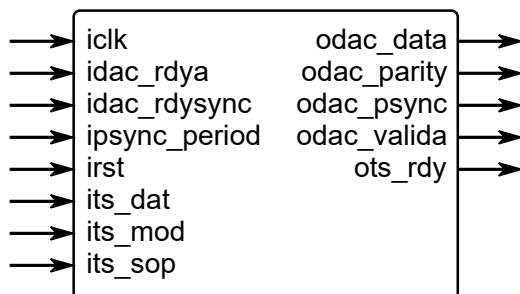


Рисунок 2. Карта портов DVB-C модулятора

Таблица 1. Описание портов DVB-C модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idac_rdy	2	RDYA сигнал от ЦАП. Два бита, {второй во времени, первый во времени} выход ODDR примитива.
idac_rdy_sync	2	RDYSYNC сигнал от ЦАП. Два бита, {второй во времени, первый во времени} выход ODDR примитива.
ipsync_period	8	Количество timeslots ЦАП.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
its_dat	256	32 параллельных TS канала DVB-C (1 канал = 8 бит).
its_mod	96	Выбор модуляции для канала $N = its_mod[3*N+2 : 3*N]$: 0 - 16-QAM 1 - 32-QAM 2 - 64-QAM 3 - 128-QAM 4 - 256-QAM

its_sop	32	Строб синхробайта входных данных (0x47 TS) для 32-х параллельных каналов.
odac_data	20	DATA (constellation symbols) для десяти параллельных ODDR примитивов.
odac_parity	2	PARITY сигнал для ЦАП. Два бита, {второй во времени, первый во времени} входы ODDR примитива.
odac_psync	2	PSYNC сигнал для ЦАП. Два бита, {второй во времени, первый во времени} входы ODDR примитива.
odac_valida	2	VALIDA сигнал для ЦАП. Два бита, {второй во времени, первый во времени} входы ODDR примитива.
ots_rdy	32	Готовность принимать входные данные для 32-х параллельных каналов.

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-C модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра DVB-C модулятора	
Параметр	Описание
Нет доступных параметров для изменения	

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра DVB-C модулятора.

Таблица 3. Производительность DVB-C модулятора		
Параметры IP ядра	Тип микросхемы ПЛИС	
	Ресурс	Производительность
MAX_TS = 32	Xilinx ZCU102 board, XCZU9EG	
	2815 CLBs (9%) 64 18K RAM blocks (2%) 0 DSP (18x18) (0%)	128+ MHz System Clock 32 DVB-C channels up to 7.5 MSymbols/s at 256-QAM

Описание интерфейса IP ядра

IP ядро DVB-C модулятора поддерживает 32-х канальный режим работы с DAC MAX5861 (MAX5862) и позволяет формировать спектр с полосой от 2 МГц до 7.5 МГц в диапазоне от 0 МГц до 1100 МГц.

На рисунке 3 приведена схема подключения ЦАП.

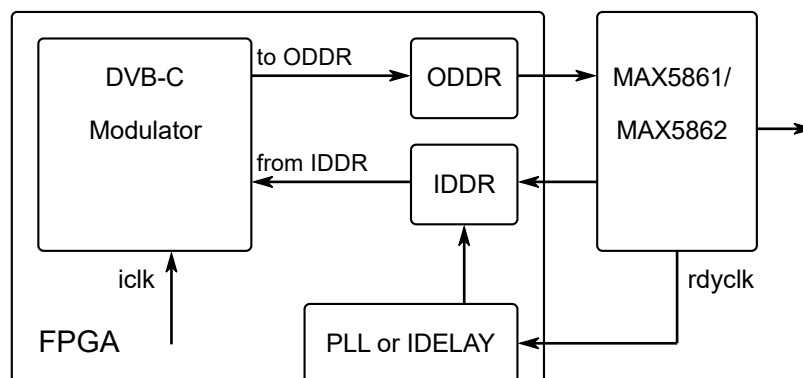


Рисунок 3. Схема подключения ЦАП MAX5861/MAX5862.

На рисунке 4 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ots_rdy**. Входные данные считываются с входа **its_dat** только тогда, когда **ots_rdy** равен единице ("1").

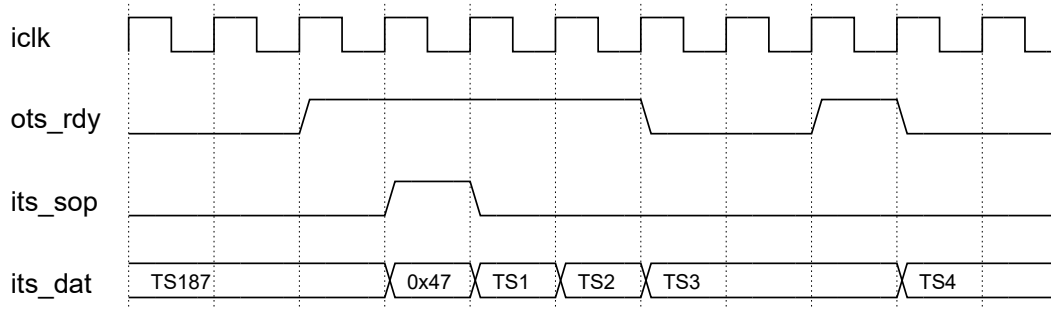


Рисунок 4. Временные диаграммы входного интерфейса IP ядра.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/dvbc-modulator/>

Обратная связь

Иприум

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
5.1	2021.03.15	Добавлена поддержка независимого выбора модуляции для 32-х канального режима работы
5.0	2021.01.20	Добавлена поддержка 32-х канального режима работы с MAX5861 и MAX5862
4.0	2017.11.14	Добавлена поддержка AD9361, AD9363, AD9364, AD9371, AD9375 и AD9789
3.1	2015.04.06	Добавлена поддержка AD9789 (2400 MSPS RF ЦАП) и 4-х канального режима работы
3.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
2.0	2014.03.17	Улучшение MER и C/I параметров модулятора
1.1	2010.12.22	Текущие улучшения
1.0	2010.12.03	Официальный релиз