



IP ядро DVB-S2 модулятора
Спецификация

Информация о релизе

Название	DVB-S2 Modulator IP Core
Версия	7.0
Дата сборки	2022.09
Код заказа	ip-dvbs2-modulator
Ревизия Спецификации	r1899

Назначение IP ядра

Данное IP ядро является готовым цифровым DVB-S2 модулятором и полностью совместимо со стандартом ETSI EN 302 307 (v1.4.1).

Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

Комплект поставки

IP ядро DVB-S2 модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-S2 модулятора.

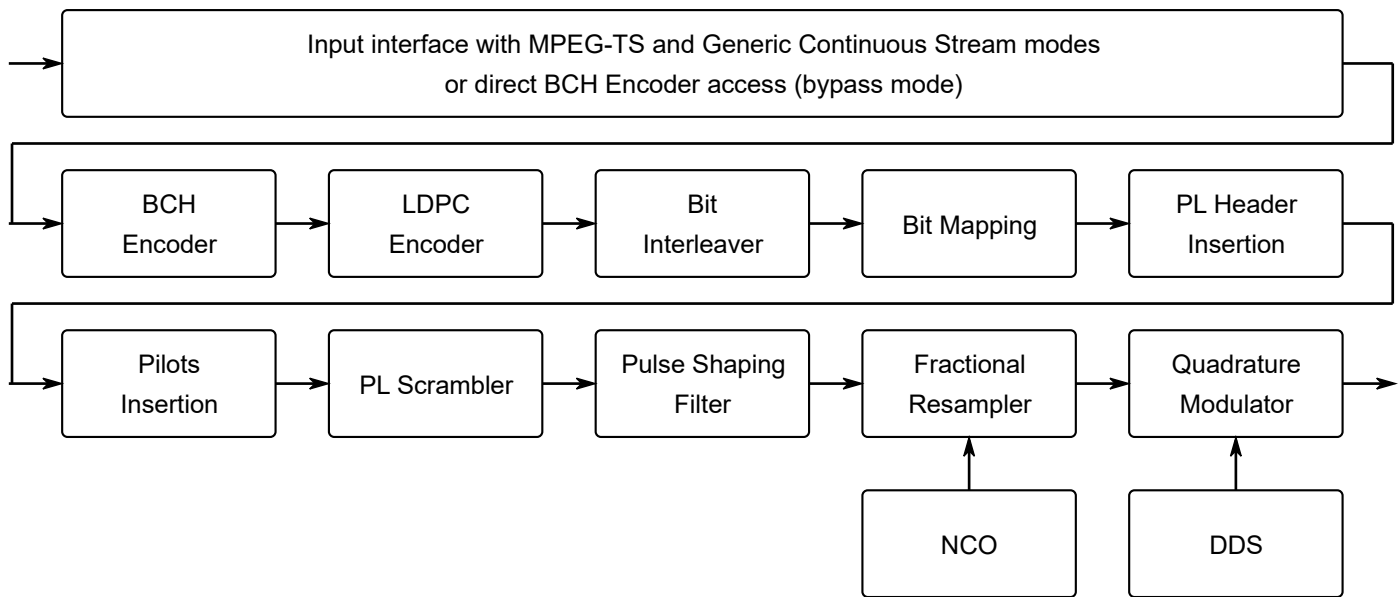


Рисунок 1. Структурная схема DVB-S2 модулятора

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра DVB-S2 модулятора.

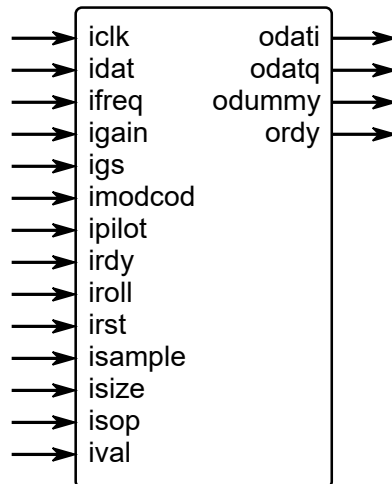


Рисунок 2. Карта портов DVB-S2 модулятора

Таблица 1. Описание портов DVB-S2 модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	8	Входные (информационные) данные.
ifreq	32	Значение выходной промежуточной частоты.

igain	16	Регулировка выходной мощности.
igs	2	режим работы входного интерфейса: 0 - MPEG-TS 1 - Generic Continuous Stream 2 - Direct access to BCH Encoder (bypass BBFramer)
imodcod	5	Выбор модуляции и кодирования: 1 - QPSK 1/4; 2 - QPSK 1/3; 3 - QPSK 2/5; 4 - QPSK 1/2; 5 - QPSK 3/5; 6 - QPSK 2/3; 7 - QPSK 3/4; 8 - QPSK 4/5; 9 - QPSK 5/6; 10 - QPSK 8/9; 11 - QPSK 9/10; 12 - 8PSK 3/5; 13 - 8PSK 2/3; 14 - 8PSK 3/4; 15 - 8PSK 5/6; 16 - 8PSK 8/9; 17 - 8PSK 9/10; 18 - 16-APSK 2/3; 19 - 16-APSK 3/4; 20 - 16-APSK 4/5; 21 - 16-APSK 5/6; 22 - 16-APSK 8/9; 23 - 16-APSK 9/10; 24 - 32-APSK 3/4; 25 - 32-APSK 4/5; 26 - 32-APSK 5/6; 27 - 32-APSK 8/9; 28 - 32-APSK 9/10.
ipilot	1	Подключение пилот-сигнала: 0 - без пилот-сигнала; 1 - с пилот-сигналом.
irdy	1	Запрос выходных данных модулятора.
iroll	2	Установка коэффициента скругления формирующего фильтра: 0 - alpha=0.35; 1 - alpha=0.25; 2 - alpha=0.2;

irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isample	32	Управление шириной спектра (символьной скоростью): от 0.01% до 50% от iclk
isize	1	Выбор LDPC кодера: 0 - Normal FECFrame (Nldpc = 64800 bits); 1 - Short FECFrame (Nldpc = 16200 bits).
isop	1	Строб синхробайта входных данных (0x47 TS).
ival	1	Валидность входных данных.
odati	W_DAC	Выход модулятора в основной полосе частот (I канал) или на промежуточной частоте.
odatq	W_DAC	Выход модулятора в основной полосе частот (Q канал).
odummy	8	Счетчик вставленных DUMMY Frames.
ordy	1	Готовность принимать входные данные.

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-S2 модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра DVB-S2 модулятора	
Параметр	Описание
W_DAC	Разрядность выходных данных (odati/odatq). Повышение разрядности odati/odatq увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра DVB-S2 модулятора.

Таблица 3. Производительность DVB-S2 модулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_DAC=16	Altera Cyclone V 5CEFA7			
	4648 ALMs (9%) 50 M10K RAM blocks (8%) 14 DSP (18x18) (9%)	-8, Fmax 118.0 MHz 59.0 Msymb/s	-7, Fmax 138.0 MHz 69.0 Msymb/s	-6, Fmax 156.0 MHz 78.0 Msymb/s
W_DAC=16	Xilinx Virtex-7 XC7VX330T			
	2502 Slices (5%) 26 18K RAM blocks (2%) 14 DSP (18x18) (2%)	-1, Fmax 206.0 MHz 103.0 Msymb/s	-2, Fmax 258.0 MHz 129.0 Msymb/s	-3, Fmax 269.0 MHz 134.5 Msymb/s

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется `odati` и `odatq`), `ifreq` равно 0;
- На промежуточной частоте (используется `odati`), `ifreq` не равно 0.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром DVB-S2 модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима.

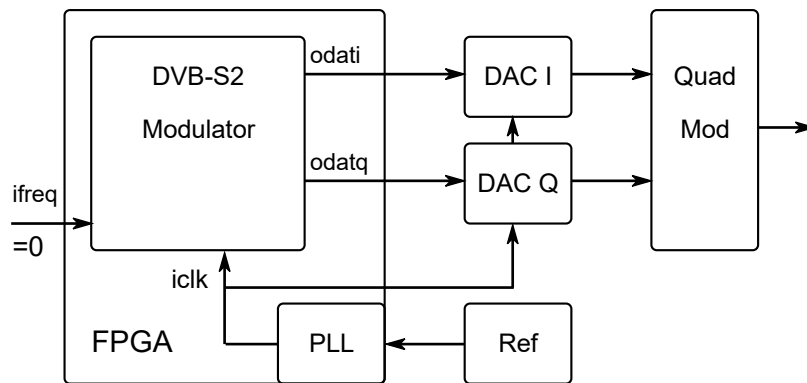


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

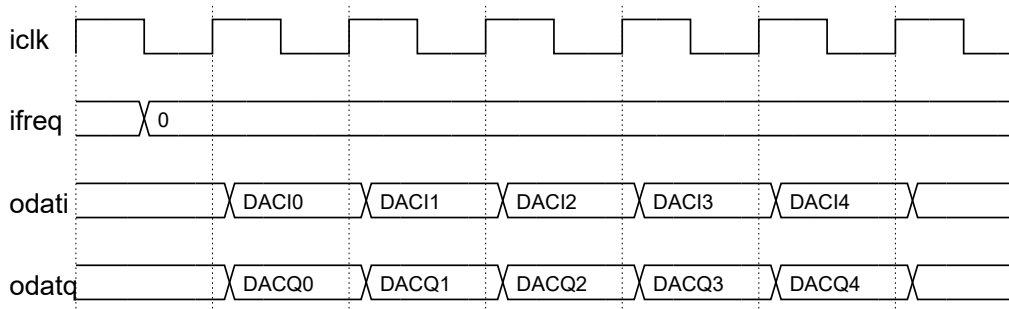


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты *ifreq* задает значение ПЧ на выходе модулятора *odati*.

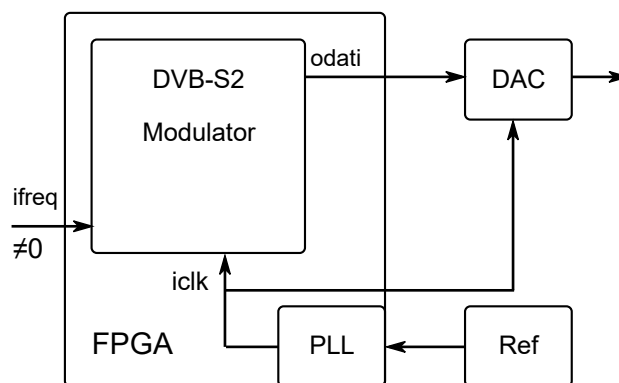


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.

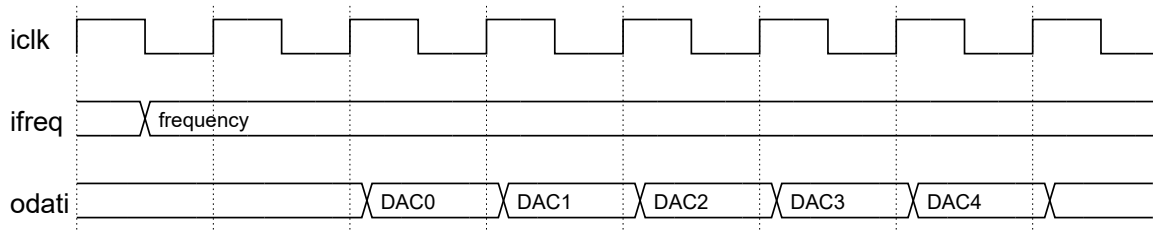


Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1").

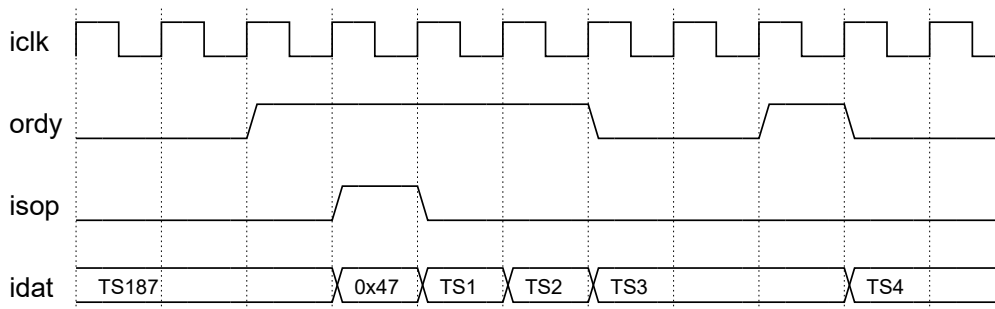


Рисунок 7. Временные диаграммы входного интерфейса IP ядра.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/dvbs2-modulator/>

Обратная связь

Иприум

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
7.0	2022.09.20	Добавлена поддержка входных интерфейсов MPEG-TS, Generic Continuous Stream и Bypass
6.0	2019.07.09	Повышена максимальная символьная скорость модулятора
5.0	2017.11.14	Добавлена поддержка AD9361, AD9363, AD9364, AD9371, AD9375 и AD9789
4.0	2016.02.23	Добавлена поддержка DUMMY фреймов для VCM/ACM режимов
3.1	2015.02.02	Добавлена поддержка 16-APSK и 32-APSK модуляций с CCM/VCM/ACM режимами
3.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
2.0	2014.03.19	Улучшение MER и C/I параметров модулятора
1.0	2011.06.06	Официальный релиз