



IP ядро DVB-S модулятора  
Спецификация

Информация о релизе

Название	DVB-S Modulator IP Core
Версия	3.0
Дата сборки	2017.11
Код заказа	ip-dvbs-modulator
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым DVB-S модулятором и полностью совместимо со стандартом ETSI EN 300 421 (v1.1.2).

Комплект поставки

IP ядро DVB-S модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-S модулятора.

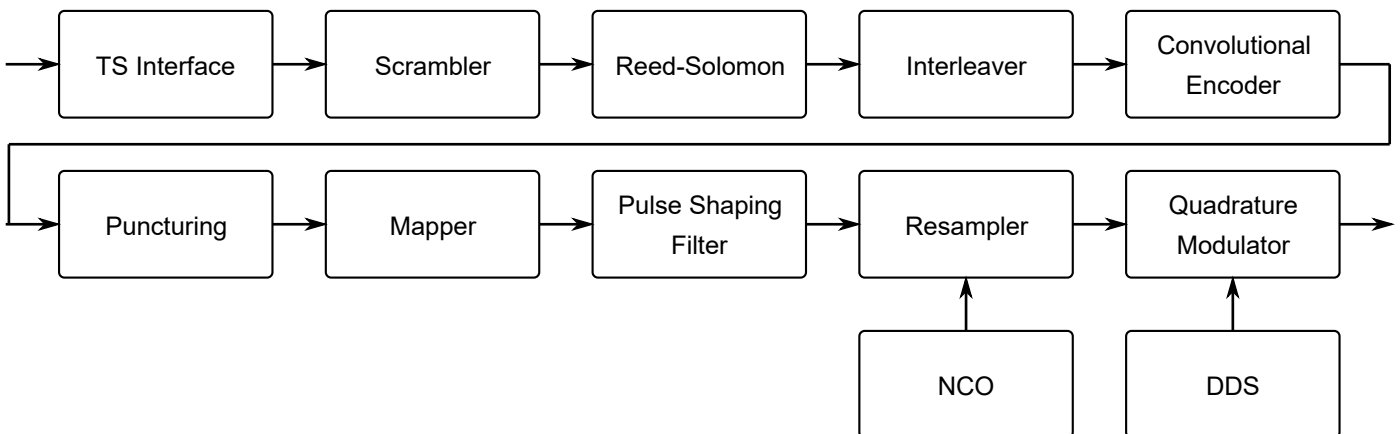


Рисунок 1. Структурная схема DVB-S модулятора

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра DVB-S модулятора.

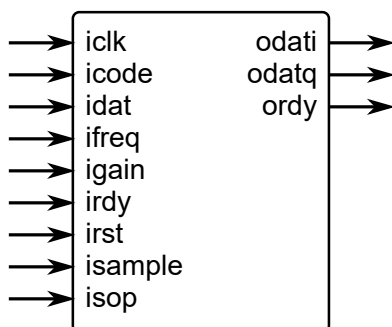


Рисунок 2. Карта портов DVB-S модулятора

Таблица 1. Описание портов DVB-S модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
icode	3	Выбор схемы кодирования: 0 - 1/2; 1 - 2/3; 2 - 3/4; 3 - 5/6; 4 - 7/8.
idat	8	Входные (информационные) данные.
ifreq	32	Значение выходной промежуточной частоты.
igain	W_DAC	Регулировка выходной мощности.
irdy	1	Запрос выходных данных модулятора.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isample	32	Управление шириной спектра (символьной скоростью): от 0.01% до 25% от iclk
isop	1	Строб синхробайта входных данных (0x47 TS).
odati	W_DAC	Выход модулятора в основной полосе частот (I канал) или на промежуточной частоте.
odatq	W_DAC	Выход модулятора в основной полосе частот (Q канал).

ordy	1	Готовность принимать входные данные.
------	---	--------------------------------------

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-S модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра DVB-S модулятора	
Параметр	Описание
W_DAC	Разрядность выходных данных ( <b>odati/odatq</b> ). Повышение разрядности <b>odati/odatq</b> увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра DVB-S модулятора.

Таблица 3. Производительность DVB-S модулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_DAC=16	Altera Cyclone V 5CEFA7			
	2044 ALMs (4%) 5 M10K RAM blocks (1%) 12 DSP (18x18) (8%)	-8, Fmax	-7, Fmax	-6, Fmax
		144.0 MHz 36.0 Msymb/s	170.0 MHz 42.5 Msymb/s	204.0 MHz 51.0 Msymb/s
W_DAC=16	Xilinx Virtex-7 XC7VX330T			
	1163 Slices (3%) 3 18K RAM blocks (1%) 12 DSP (18x18) (2%)	-1, Fmax	-2, Fmax	-3, Fmax
		230.0 MHz 57.5 Msymb/s	297.0 MHz 74.25 Msymb/s	310.0 MHz 77.5 Msymb/s

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется **odati** и **odatq**), **ifreq** равно 0;
- На промежуточной частоте (используется **odati**), **ifreq** не равно 0.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром DVB-S модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима.

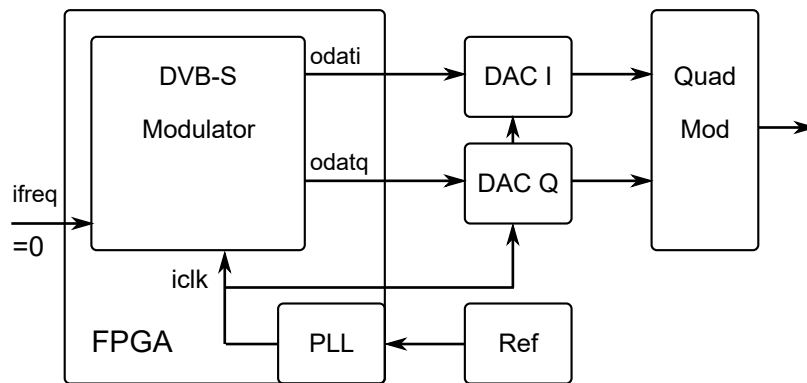


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

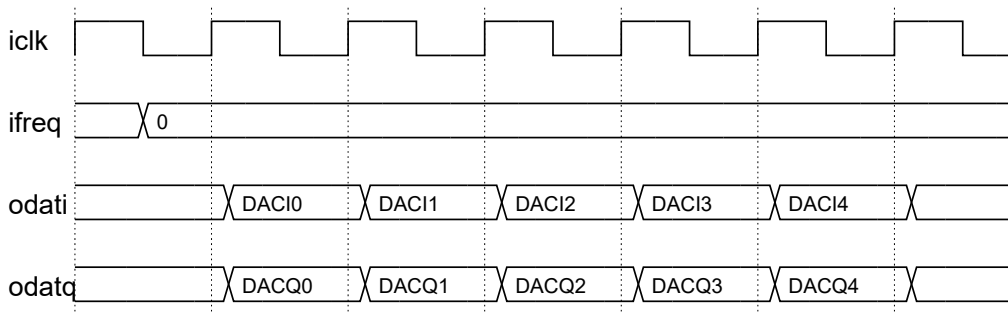


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты *ifreq* задает значение ПЧ на выходе модулятора *odati*.

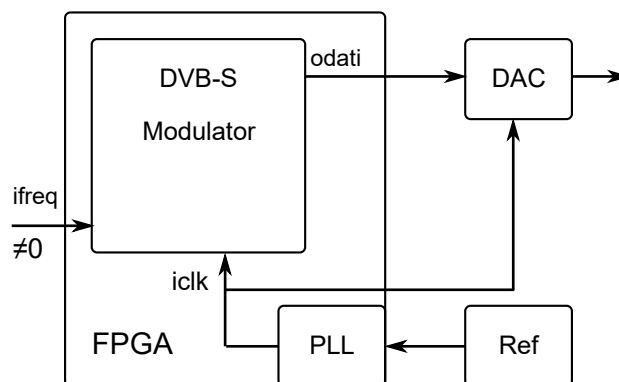
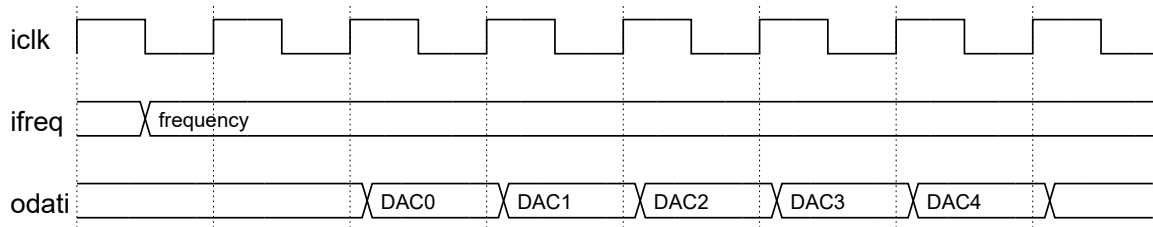
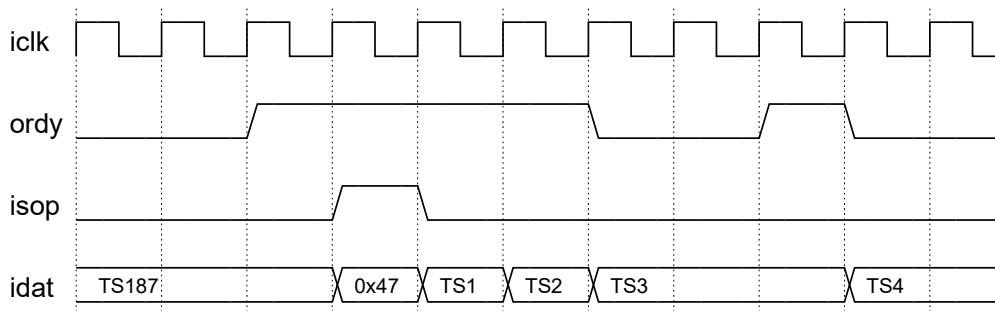


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.



**Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.**

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1").



**Рисунок 7. Временные диаграммы входного интерфейса IP ядра.**

Время реакции выходных данных на изменение режима работы DVB-S модулятора через **icode**, **isample** порты составляет не более одной тысячи (1000) символов DVB-S. Корректное формирование спектра DVB-S сигнала в течение одной тысячи (1000) символов после изменения конфигурации не гарантируется.

### Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/dvbs-modulator/>

### Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: [info@iprium.ru](mailto:info@iprium.ru)

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

### История изменений

Версия	Дата	Изменения
3.0	2017.11.14	Добавлена поддержка AD9361, AD9363, AD9364, AD9371, AD9375 и AD9789
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.1	2010.12.23	Текущие улучшения
1.0	2010.12.03	Официальный релиз