



IP ядро DVB-T модулятора
Спецификация

Информация о релизе

| | |
|----------------------|-------------------------|
| Название | DVB-T Modulator IP Core |
| Версия | 2.1 |
| Дата сборки | 2015.07 |
| Код заказа | ip-dvbt-modulator |
| Ревизия Спецификации | r1383 |

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым DVB-T модулятором и полностью совместимо со стандартом ETSI EN 300 744 (v1.6.1).

Комплект поставки

IP ядро DVB-T модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра DVB-T модулятора.

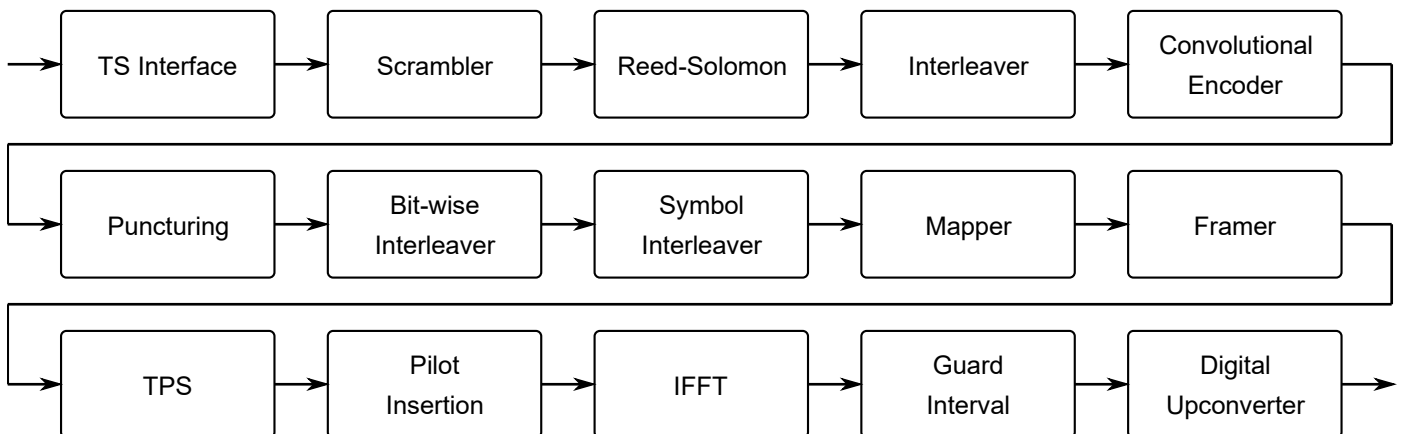


Рисунок 1. Структурная схема DVB-T модулятора

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра DVB-T модулятора.

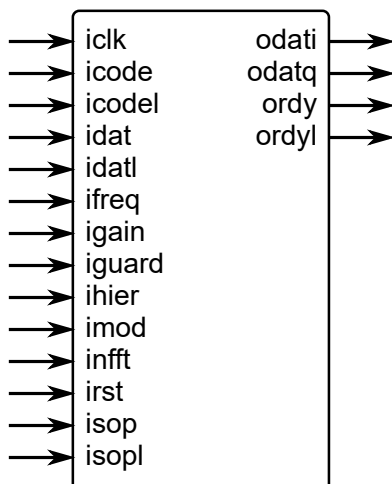


Рисунок 2. Карта портов DVB-T модулятора

| Таблица 1. Описание портов DVB-T модулятора | | |
|---|-------------|--|
| Порт | Разрядность | Описание |
| iclk | 1 | Системная тактовая частота. IP ядро работает по переднему фронту iclk. |
| icode icodel | 3 | Выбор схемы кодирования для HP и LP потоков: 0 - 1/2; 1 - 2/3; 2 - 3/4; 3 - 5/6; 4 - 7/8. |
| idat | 8 | Входные (информационные) данные HP потока. |
| idatl | 8 | Входные (информационные) данные LP потока, если иерархическая модуляция включена. |
| ifreq | 32 | Значение выходной промежуточной частоты. |
| igain | 16 | Регулировка выходной мощности. |
| iguard | 2 | Выбор величины защитного интервала: 0 - 1/32; 1 - 1/16; 2 - 1/8; 3 - 1/4. |

| | | |
|-------|-------|---|
| ihier | 2 | Включение иерархической модуляции и выбор режима работы (alpha): 0 - Non-hierarchy; 1 - Hierarchy, Alpha = 1; 2 - Hierarchy, Alpha = 2; 3 - Hierarchy, Alpha = 4; |
| imod | 2 | Выбор вида модуляции: 0 - QPSK; 1 - 16-QAM; 2 - 64-QAM. |
| infft | 1 | Выбор количества поднесущих: 0 - 2K Mode; 1 - 8K Mode. |
| irst | 1 | IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу. |
| isop | 1 | Строб синхробайта входных данных (0x47 TS) для HP потока. |
| isopl | 1 | Строб синхробайта входных данных (0x47 TS) для LP потока (hierarchy режим). |
| odati | W_DAC | Выход модулятора в основной полосе частот (I канал) или на промежуточной частоте. |
| odatq | W_DAC | Выход модулятора в основной полосе частот (Q канал). |
| ordy | 1 | Готовность принимать входные данные HP потока. |
| ordyl | 1 | Готовность принимать входные данные LP потока. |

Параметры IP ядра

Доступные для изменения параметры IP ядра DVB-T модулятора представлены в таблице 2:

| Таблица 2. Описание параметров IP ядра DVB-T модулятора | |
|---|---|
| Параметр | Описание |
| MODE | Поддерживаемые режимы работы: Full, 2K-only, 8K-only, Non-hierarchy |

| | |
|-------|---|
| W_DAC | <p>Разрядность выходных данных (odati/odatq).</p> <p>Повышение разрядности odati/odatq увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.</p> |
|-------|---|

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра DVB-T модулятора.

| Таблица 3. Производительность DVB-T модулятора | | | | |
|--|---|--|----------|----------|
| Параметры IP ядра | Тип микросхемы ПЛИС | | | |
| | Ресурс | Speed grade, максимальная частота работы | | |
| MODE = 2K-only W_DAC=16 | Altera Cyclone V 5CEFA7 | | | |
| | 2478 ALMs (5%) 66 M10K RAM blocks (10%) 12 DSP (18x18) (8%) | -8, Fmax | -7, Fmax | -6, Fmax |
| | | достаточно для спектров 1.7/5/6/7/8 МГц | | |
| MODE = 2K-only W_DAC=16 | Xilinx Virtex-7 XC7VX330T | | | |
| | 1806 Slices (4%) 28 18K RAM blocks (2%) 12 DSP (18x18) (2%) | -1, Fmax | -2, Fmax | -3, Fmax |
| | | достаточно для спектров 1.7/5/6/7/8/10 МГц | | |

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется **odati** и **odatq**), **ifreq** равно 0;
- На промежуточной частоте (используется **odati**), **ifreq** не равно 0.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром DVB-T модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима.

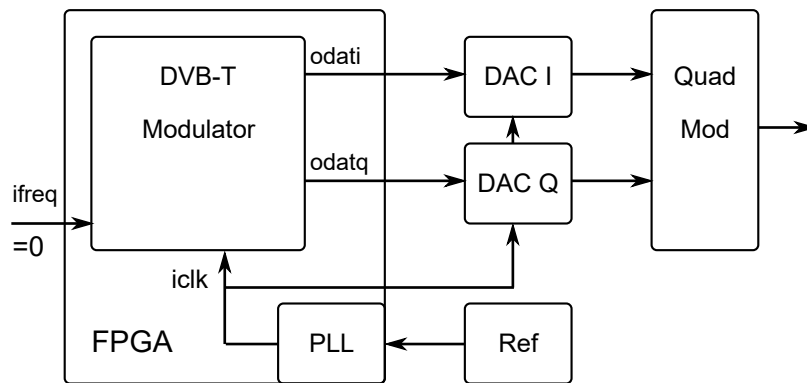


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

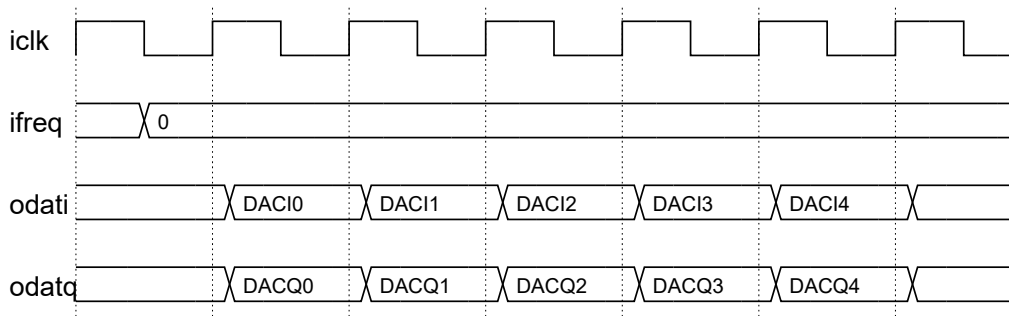


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты *ifreq* задает значение ПЧ на выходе модулятора *odati*.

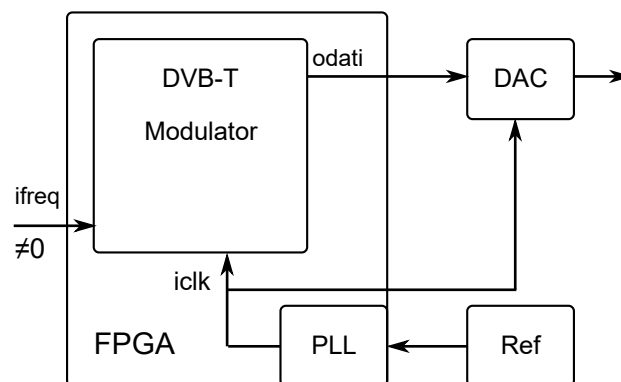


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.

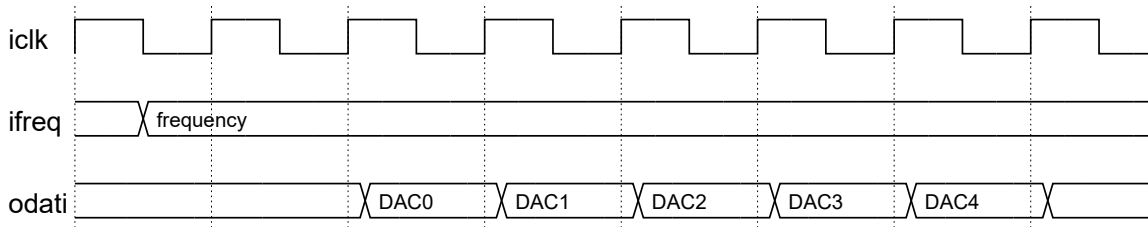


Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1").

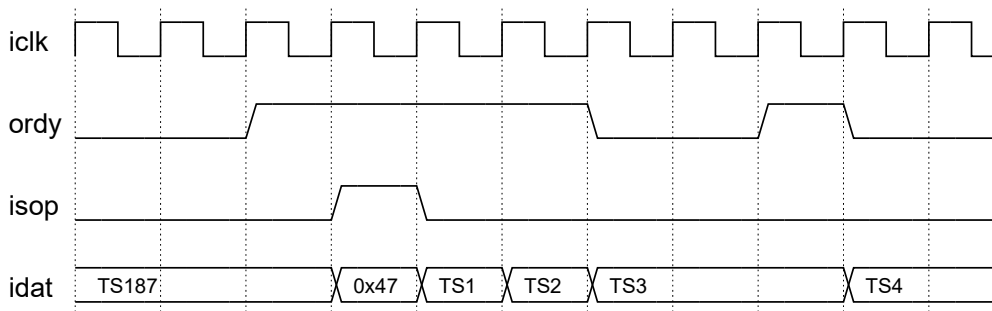


Рисунок 7. Временные диаграммы входного интерфейса IP ядра.

Время реакции выходных данных на изменение режима работы DVB-T модулятора через **icode**, **iguard**, **imod** порты составляет не более десяти (10) суперфреймов DVB-T. Корректное формирование спектра DVB-T сигнала в течение десяти (10) суперфреймов после изменения конфигурации не гарантируется.

Для формирования спектра заданной шириной входная тактовая частота должна быть точно равна:

- Для 10 МГц - $iclk = 80/7 * 16 = 182.85714$ МГц;
- Для 8 МГц - $iclk = 64/7 * 16 = 146.28571$ МГц;
- Для 7 МГц - $iclk = 64/8 * 16 = 128.00000$ МГц;
- Для 6 МГц - $iclk = 48/7 * 16 = 109.71429$ МГц;
- Для 5 МГц - $iclk = 40/7 * 16 = 91.42857$ МГц;
- Для 1.7 МГц - $iclk = 131/71 * 16 = 29.52113$ МГц.

Показатели качества

IP ядро DVB-T Модулятора обеспечивает следующие показатели качества:

- Полное соответствие стандарту ETSI EN 300 744;
- 50 dB MER;
- -90 dBc внеполосное излучение.

Показатели качества IP ядра могут быть улучшены по запросу.

На рисунке 8 показан спектр сигнала IP ядра DVB-T Модулятора до цифрового интерполятора (DUC).

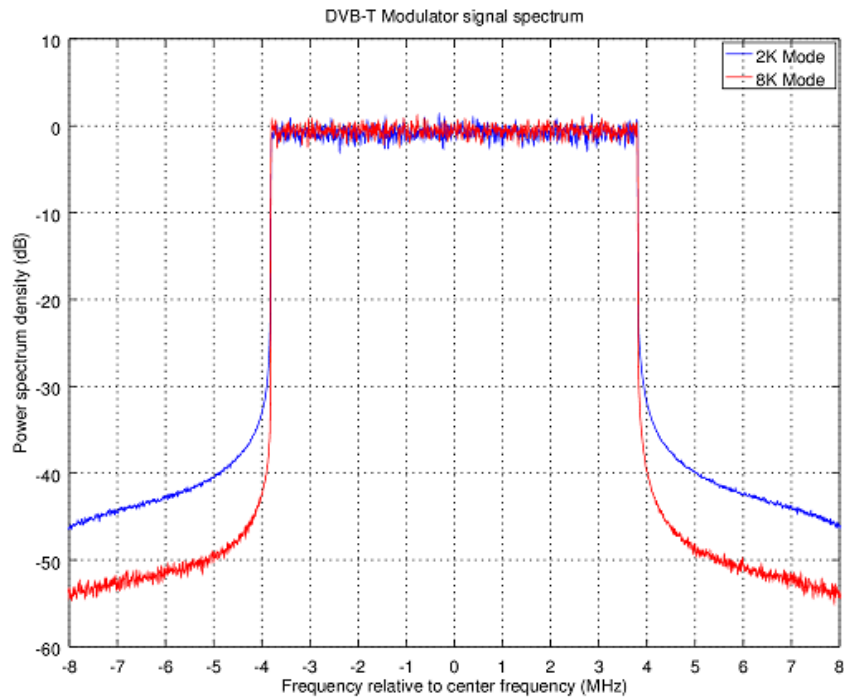


Рисунок 8. Спектр сигнала DVB-T до DUC.

На рисунке 9 показан спектр сигнала после DUC.

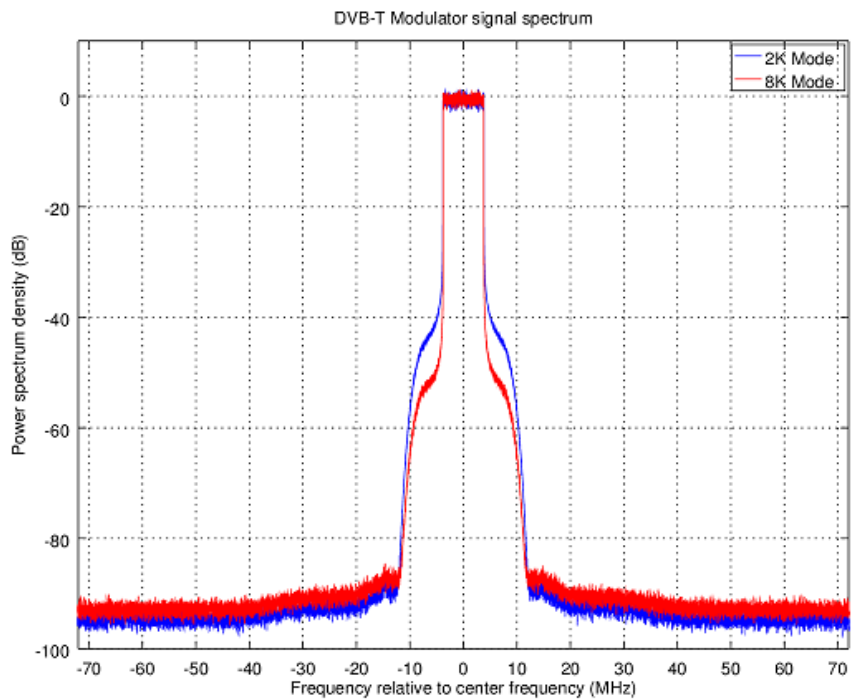


Рисунок 9. Спектр сигнала DVB-T после DUC.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/dvbt-modulator/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

| Версия | Дата | Изменения |
|--------|------------|--|
| 2.1 | 2015.07.14 | Улучшены MER и SFDR |
| 2.0 | 2014.09.23 | Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5 |
| 1.1 | 2010.12.27 | Текущие улучшения |
| 1.0 | 2010.12.03 | Официальный релиз |