



IP ядро G.709 кодера/декодера
Спецификация

Информация о релизе

Название	G.709 Codec IP Core
Версия	2.1
Дата сборки	2015.03
Код заказа	ip-g709-codec
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро реализует алгоритм помехоустойчивого кодирования для оптических линий связи на основе кода Рида-Соломона (255, 239) и полностью совместимо с рекомендацией:

- ITU-T G.907 (2.5G, 10G и 40G оптические сети).

Комплект поставки

IP ядро G.709 кодера/декодера включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра G.709 кодера.

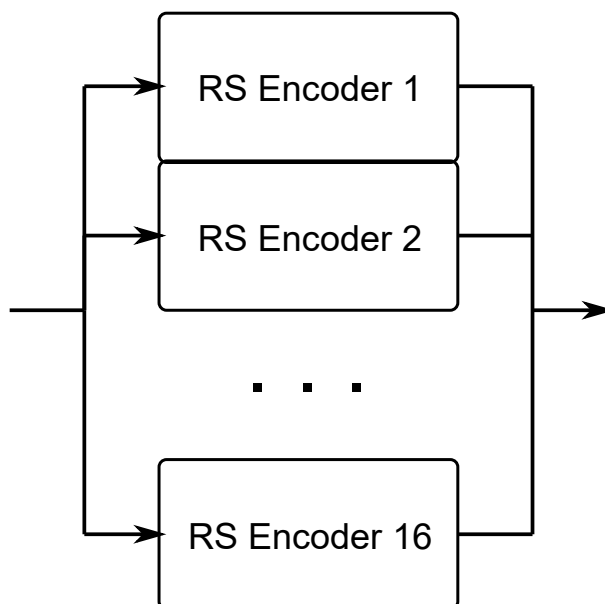


Рисунок 1. Структурная схема G.709 кодера

Кодер G.709 состоит из 16-ти параллельно включенных кодеров Рида-Соломона (255, 239) $m = 8$ с образующим полиномом = 285.

На рисунке 2 показана структурная схема IP ядра G.709

декодера.

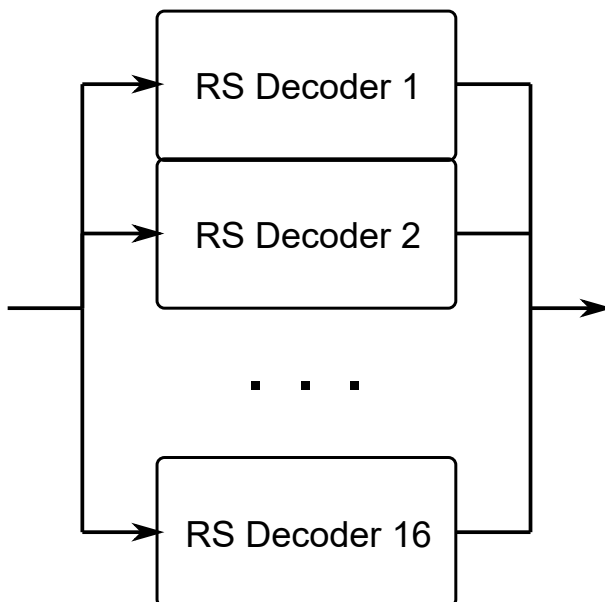


Рисунок 2. Структурная схема G.709 декодера

Декодер G.709 состоит из 16-ти параллельно включенных декодеров Рида-Соломона (255, 239) $m = 8$ с образующим полиномом = 285.

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра G.709 кодера.

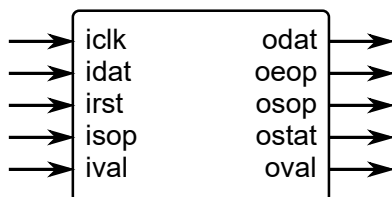


Рисунок 3. Карта портов G.709 кодера

Таблица 1. Описание портов G.709 кодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	128	Входные (информационные) данные.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	Строб начала информационного блока.

ival	1	Валидность входных данных.
odat	128	Выходные (кодированные) данные.
oeop	1	Строб окончания кодированного блока.
osop	1	Строб начала кодированного блока.
ostat	2	Статус выдачи кодированного блока: 0 - данных нет; 1 - информационные символы; 2 - проверочные символы.
oval	1	Валидность выходных данных.

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра G.709 декодера.

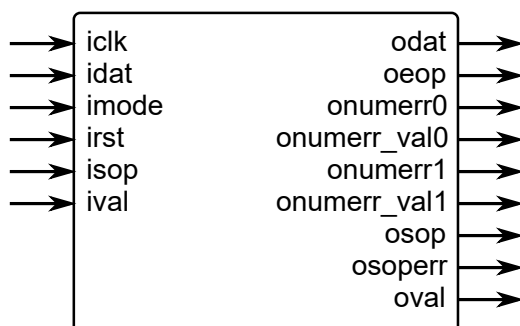


Рисунок 4. Карта портов G.709 декодера

Таблица 2. Описание портов G.709 декодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	128	Входные (кодированные) данные.
imode	1	Режим выдачи выходных данных: 0 - без коррекции ошибочных символов; 1 - с коррекцией ошибочных символов.

irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	Строб начала кодированного блока.
ival	1	Валидность входных данных.
odat	128	Выходные данные (декодированные).
oeop	1	Строб окончания декодированного блока.
onumerr0	5	Количество блоков с ошибками на входе.
onumerr_val0	1	Валидность onumerr0.
onumerr1	5	Количество блоков с ошибками на выходе.
onumerr_val1	1	Валидность onumerr1.
osop	1	Строб начала декодированного блока.
osoperr	1	Устанавливается в "1", когда ошибка периода isop.
oval	1	Валидность выходных данных.

Описание работы IP ядра

IP ядро G.709 кодера/декодера полностью соответствует рекомендации ITU-T G.709/Y.1331 (12/2009) "Annex A. Forward error correction using 16-byte interleaved RS(255,239) codecs". IP ядро предназначено для работы с линейным потоком OTN OTU2 со скоростью 10,7 Гбит/с в системах оптоволоконной связи. Возможно использование IP ядра G.709 кодера/декодера как в потоковом, так и в пакетном режимах.

Главные особенности данного IP ядра:

- Точное соответствие рекомендации ITU-T G.709;
- Синхронный, высокоскоростной алгоритм декодирования;
- Выходные порты статистики ошибок (ошибки на входе и ошибки на выходе декодера);
- Задержка кодирования - 1 такт;
- Задержка декодирования - 769 тактов (9.2 мкс).

Параметры IP ядра

Доступные для изменения параметры IP ядра G.709 кодера/декодера представлены в таблице 3:

Таблица 3. Описание параметров IP ядра G.709 кодера/декодера	
Параметр	Описание
Нет доступных параметров для изменения	

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра G.709 кодера.

Таблица 4. Производительность G.709 кодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
	Altera Cyclone V 5CEFA7			
	1351 ALMs (3%) 0 M10K RAM blocks (0%) 0 DSP (18x18) (0%)	-8, Fmax	-7, Fmax	-6, Fmax
		202.0 MHz 25.0 Gbps	231.0 MHz 29.0 Gbps	259.0 MHz 32.0 Gbps
	Xilinx Virtex-7 XC7VX330T			
	925 Slices (2%) 0 18K RAM blocks (0%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		357.0 MHz 45.0 Gbps	430.0 MHz 55.0 Gbps	513.0 MHz 65.0 Gbps

В таблице 5 приведены результаты измерений IP ядра G.709 декодера.

Таблица 5. Производительность G.709 декодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
	Altera Cyclone V 5CEFA7			
	13833 ALMs (25%) 48 M10K RAM blocks (7%) 0 DSP (18x18) (0%)	-8, Fmax	-7, Fmax	-6, Fmax
		165.0 MHz 21.0 Gbps	187.0 MHz 23.0 Gbps	208.0 MHz 26.0 Gbps
	Xilinx Virtex-7 XC7VX330T			
	8253 Slices (17%) 48 18K RAM blocks (14%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		223.0 MHz 28.0 Gbps	273.0 MHz 34.0 Gbps	319.0 MHz 40.0 Gbps

Описание интерфейса IP ядра

Для управления процессом кодирования/декодирования данных используется строб "начало информационного блока" **isop**, которым помечают первый информационный символ на входе кодера (FAS OH = 0xF6F6F6282828). Данные на входе **idat** и выходе **odat** имеют разрядность 128 бит. Для обеспечения скорости работы кодера/декодера 10.7 Gbps требуется тактовая частота не ниже 85 MHz. Результирующий кодированный блок на выходе кодера помечается стробами "начало кодированного блока" **osop** и "окончание кодированного блока" **oeop**. Дополнительно кодер помечает статус выдаваемых данных при помощи **ostat**:

- 0 - данных на выходе нет;
- 1 - на выходе информационные символы кодированного блока;
- 2 - на выходе проверочные символы кодированного блока.

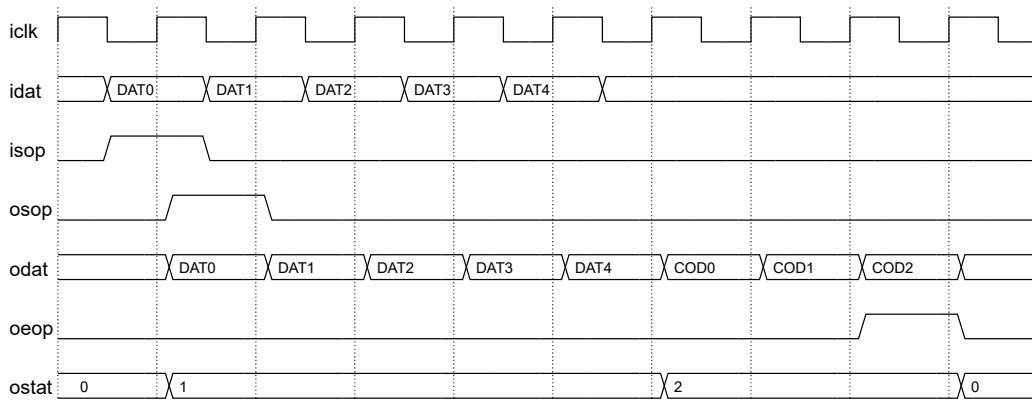


Рисунок 5. Временные диаграммы работы G.709 кодера

Показатели качества

Исправляющая способность IP ядра G.709 Кодека показана на рисунке 6.

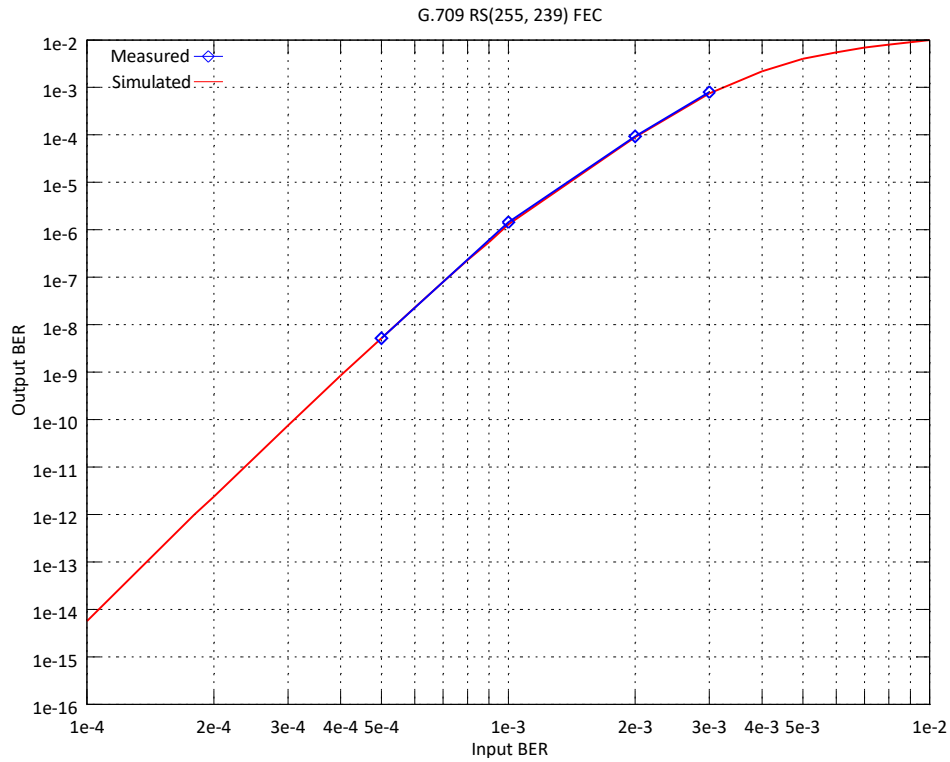


Рисунок 6. Исправляющая способность G.709 Кодека

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/g709-codec/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.1	2015.03.27	Обновлена информация о ресурсах и производительности IP ядра.
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.0	2012.10.23	Официальный релиз