



IP ядро I.3 40G BCH кодера/декодера  
Спецификация

## Информация о релизе

Название	I.3 40G BCH Codec IP Core
Версия	1.0
Дата сборки	2016.12
Код заказа	ip-i3-40g-bch-codec
Ревизия Спецификации	r1884

## Назначение IP ядра

Данное IP ядро реализует алгоритм помехоустойчивого кодирования для оптических линий связи на основе BCH кодов (3860, 3824) и (2040, 1930) и полностью совместимо с рекомендацией:

- ITU-T G.975.1 (super-FEC для 2.5G, 10G и 40G оптических сетей).

## Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

## Комплект поставки

IP ядро I.3 40G BCH кодера/декодера включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

## Структура IP ядра

На рисунке 1 показана структурная схема IP ядра I.3 40G BCH кодера.

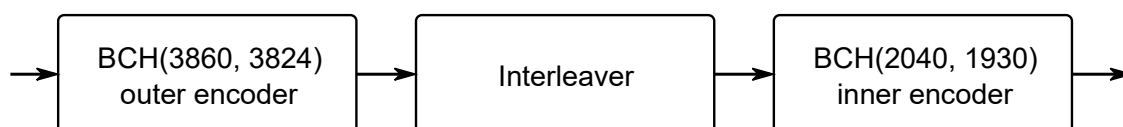
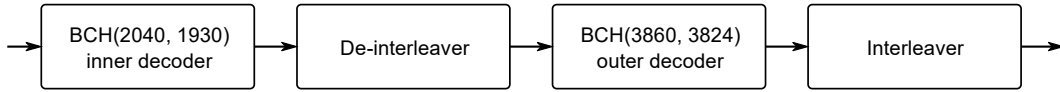


Рисунок 1. Структурная схема I.3 40G BCH кодера

Кодер I.3 40G BCH состоит из кодера внешнего кода (BCH(3860, 3824) outer encoder), интерливера (Interleaver) и кодера внутреннего кода (BCH(2040, 1930) inner encoder).

На рисунке 2 показана структурная схема одной полной итерации декодирования IP ядра I.3 40G BCH декодера.

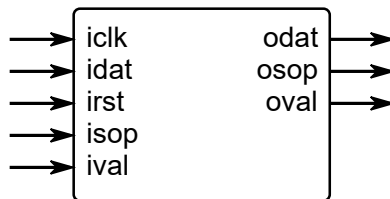


**Рисунок 2. Структурная схема одной полной итерации I.3 40G BCH декодера**

Архитектура декодера I.3 40G BCH позволяет задавать произвольное количество итераций декодирования. Каждая итерация состоит из декодера внутреннего кода (BCH(2040, 1930) inner decoder), деинтерливера (De-interleaver), декодера внешнего кода (BCH(3860, 3824) outer decoder) и интерливера (Interleaver). При работе в режиме ENDPOINT интерливер последней итерации декодирования не используется.

## Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра I.3 40G BCH кодера.

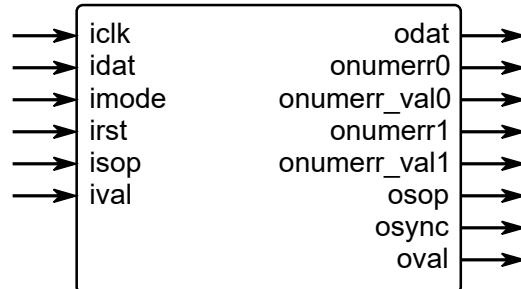


**Рисунок 3. Карта портов I.3 40G BCH кодера**

Таблица 1. Описание портов I.3 40G BCH кодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	256	входные (информационные) данные
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	строб начала информационного блока
ival	1	валидность входных данных
odat	256	выходные (кодированные) данные

osop	1	строб начала кодированного блока
oval	1	валидность выходных данных

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра I.3 40G BCH декодера.



**Рисунок 4. Карта портов I.3 40G BCH декодера**

Таблица 2. Описание портов I.3 40G BCH декодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	256	входные (кодированные) данные
imode	1	режим выдачи выходных данных: 0 - без коррекции ошибочных символов 1 - с коррекцией ошибочных символов
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	строб начала кодированного блока
ival	1	валидность входных данных
odat	256	выходные данные (декодированные)
onumerr0	5	количество блоков с ошибками на входе
onumerr_val0	1	валидность onumerr0

onumerr1	5	количество блоков с ошибками на выходе
onumerr_val1	1	валидность onumerr1
osop	1	строб начала декодированного блока
osync	1	правильность подачи isop к FAS
oval	1	валидность выходных данных

### Описание работы IP ядра

IP ядро I.3 40G BCH кодера/декодера полностью соответствует рекомендации ITU-T G.975.1 (02/2004) "Appendix I. Super FEC schemes. I.3 Concatenated BCH super FEC codes". IP ядро предназначено для работы с линейным потоком OTN OTU3 со скоростью 40-46 Гбит/с в системах оптоволоконной связи. Возможно использование IP ядра I.3 40G BCH кодера/декодера как в потоковом, так и в пакетном режимах.

Главные особенности данного IP ядра:

- Точное соответствие рекомендации ITU-T G.975.1 I.3;
- Синхронный, высокоскоростной алгоритм декодирования;
- Выходные порты статистики ошибок (ошибки на входе и ошибки на выходе декодера);
- Задержка кодирования - 5 тактов;
- Задержка декодирования для одной итерации (inner decoder - deinterleaver - outer decoder - interleaver) - 1679 такт (9.9 мкс).
- Задержка декодирования 3-х полных итераций - 5037 такта (29.7 мкс).

## Параметры IP ядра

Доступные для изменения параметры IP ядра I.3 40G BCH кодера/декодера представлены в таблице 3:

Таблица 3. Описание параметров IP ядра I.3 40G BCH кодера/декодера	
Параметр	Описание
ITER	количество полных итераций декодирования
MODE	режим работы IP ядра, "ENDPOINT" или "REPEATER"

Например:

- ITER = 3 и MODE = "REPEATER" означает три полные итерации декодирования в режиме **REPEATER**:

idat - inner1 - deint1 - outer1 - inter1 - inner2 - deint2 - outer2 - inter2 - inner3 - deint3 - outer3 - inter3 - odat;

- ITER = 3 и MODE = "ENDPOINT" означает три полные итерации декодирования в режиме **ENDPOINT** (без inter3):

idat - inner1 - deint1 - outer1 - inter1 - inner2 - deint2 - outer2 - inter2 - inner3 - deint3 - outer3 - odat.

## Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра I.3 40G BCH кодера.

Таблица 4. Производительность I.3 40G BCH кодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
	Altera Arria 10 10AX032			
	11059 ALMs (9%) 16 M20K RAM blocks (2%) 0 DSP (18x18) (0%)	-3, Fmax	-2, Fmax	-1, Fmax
		210.0 MHz 53.76 Gbps	240.0 MHz 61.44 Gbps	260.0 MHz 66.56 Gbps
	Xilinx Virtex-7 XC7VX330T			
	5712 Slices (12%) 16 18K RAM blocks (1%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		270.0 MHz 69.12 Gbps	300.0 MHz 76.80 Gbps	330.0 MHz 84.48 Gbps

В таблице 5 приведены результаты измерений IP ядра I.3 40G BCH декодера.

Таблица 5. Производительность I.3 40G BCH декодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
3 iterations	Altera Arria 10 10AX032			
	108139 ALMs (90%) 309 M20K RAM blocks (35%) 0 DSP (18x18) (0%)	-3, Fmax	-2, Fmax	-1, Fmax
		170.0 MHz 43.52 Gbps	200.0 MHz 51.20 Gbps	220.0 MHz 56.32 Gbps
3 iterations	Xilinx Virtex-7 XC7VX330T			
	46471 Slices (91%) 273 18K RAM blocks (18%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		165.0 MHz 42.24 Gbps	200.0 MHz 51.20 Gbps	220.0 MHz 56.32 Gbps

## Описание интерфейса IP ядра

Для управления процессом кодирования/декодирования данных используется строб "начало информационного блока" **isop**, которым помечают первый информационный символ на входе кодера (FAS OH = 0xF6F6F6282828). Данные на входе **idat** и выходе **odat** имеют разрядность 256 бит. Для обеспечения скорости работы кодера/декодера 43.0 Gbps требуется тактовая частота не ниже 168 MHz. Результирующий кодированный блок на выходе кодера помечается стробом "начало кодированного блока" **osop**.



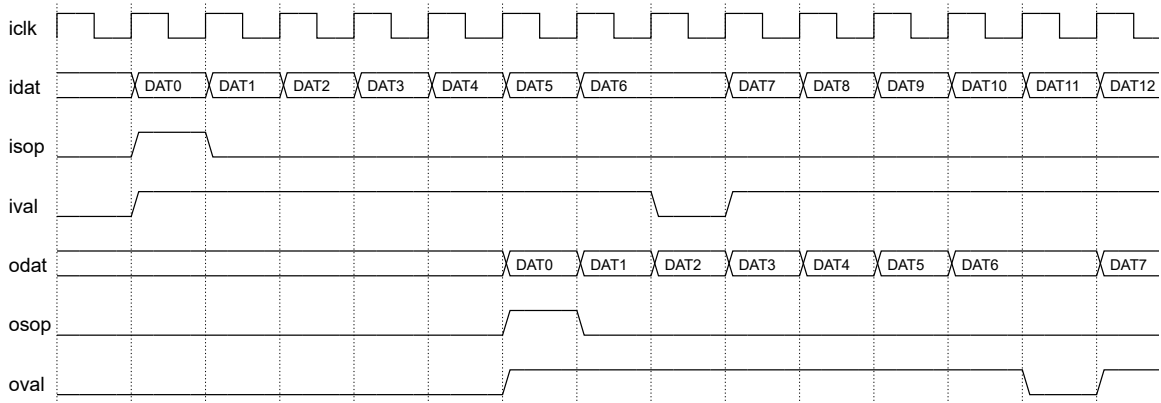


Рисунок 5. Временные диаграммы работы I.3 40G BCH кодера

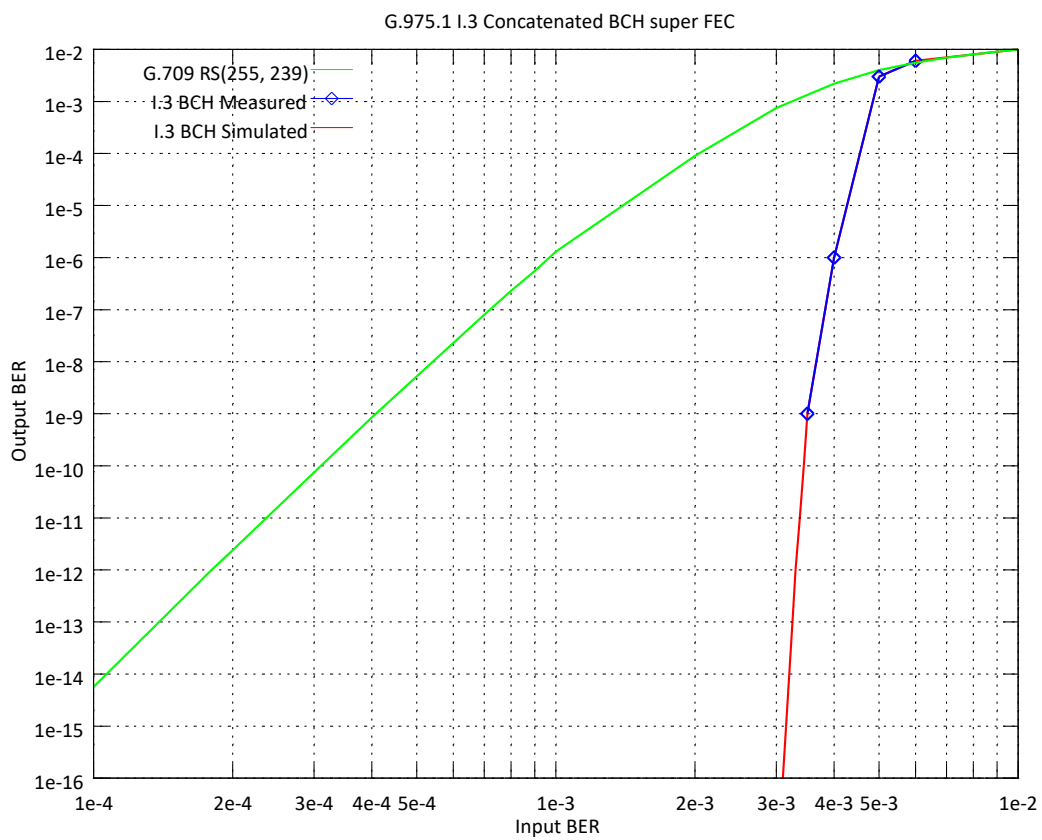


Рисунок 6. Исправляющая способность I.3 40G BCH декодера

### Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/i3-40g-bch-codec/>

### Обратная связь

Иприум

E-mail: [info@iprium.ru](mailto:info@iprium.ru)

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

### История изменений

Версия	Дата	Изменения
1.0	2016.12.27	Официальный релиз