



IP ядро 1.3 VCH кодера/декодера
Спецификация

Информация о релизе

Название	I.3 BCH Codec IP Core
Версия	2.1
Дата сборки	2015.09
Код заказа	ip-i3-bch-codec
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро реализует алгоритм помехоустойчивого кодирования для оптических линий связи на основе BCH кодов (3860, 3824) и (2040, 1930) и полностью совместимо с рекомендацией:

- ITU-T G.975.1 (super-FEC для 2.5G, 10G и 40G оптических сетей).

Комплект поставки

IP ядро I.3 BCH кодера/декодера включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра I.3 BCH кодера.



Рисунок 1. Структурная схема I.3 BCH кодера

Кодер I.3 BCH состоит из кодера внешнего кода (**BCH(3860, 3824) outer encoder**), интерливера (**Interleaver**) и кодера внутреннего кода (**BCH(2040, 1930) inner encoder**).

На рисунке 2 показана структурная схема одной полной итерации декодирования IP ядра I.3 BCH декодера.

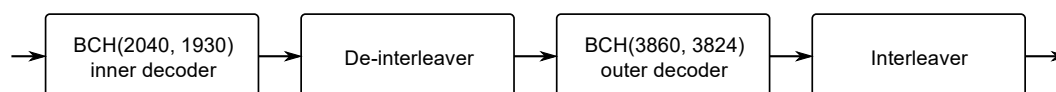


Рисунок 2. Структурная схема одной полной итерации I.3 BCH декодера

Архитектура декодера I.3 BCH позволяет задавать произвольное количество итераций декодирования. Каждая итерация состоит

из декодера внутреннего кода (BCH(2040, 1930) inner decoder), деинтерливера (De-interleaver), декодера внешнего кода (BCH(3860, 3824) outer decoder) и интерливера (Interleaver). При работе в режиме ENDPOINT интерливер последней итерации декодирования не используется.

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра I.3 BCH кодера.

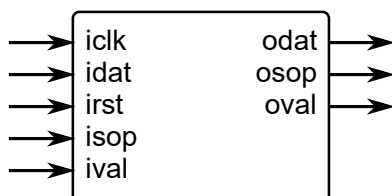


Рисунок 3. Карта портов I.3 BCH кодера

Таблица 1. Описание портов I.3 BCH кодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	128	входные (информационные) данные
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	строб начала информационного блока
ival	1	валидность входных данных
odat	128	выходные (кодированные) данные
osop	1	строб начала кодированного блока
oval	1	валидность выходных данных

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра I.3 BCH декодера.

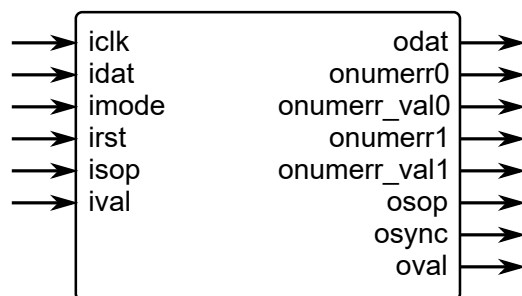


Рисунок 4. Карта портов I.3 BCH декодера

Таблица 2. Описание портов I.3 BCH декодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	128	входные (кодированные) данные
imode	1	режим выдачи выходных данных: 0 - без коррекции ошибочных символов 1 - с коррекцией ошибочных символов
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	строб начала кодированного блока
ival	1	валидность входных данных
odat	128	выходные данные (декодированные)
onumerr0	5	количество блоков с ошибками на входе
onumerr_val0	1	валидность onumerr0
onumerr1	5	количество блоков с ошибками на выходе
onumerr_val1	1	валидность onumerr1
osop	1	строб начала декодированного блока

osync	1	правильность подачи isop к FAS
oval	1	валидность выходных данных

Описание работы IP ядра

IP ядро I.3 BCH кодера/декодера полностью соответствует рекомендации ITU-T G.975.1 (02/2004) "Appendix I. Super FEC schemes. I.3 Concatenated BCH super FEC codes". IP ядро предназначено для работы с линейным потоком OTN OTU2 со скоростью 10,7 Гбит/с в системах оптоволоконной связи. Возможно использование IP ядра I.3 BCH кодера/декодера как в потоковом, так и в пакетном режимах.

Главные особенности данного IP ядра:

- Точное соответствие рекомендации ITU-T G.975.1 I.3;
- Синхронный, высокоскоростной алгоритм декодирования;
- Выходные порты статистики ошибок (ошибки на входе и ошибки на выходе декодера);
- Задержка кодирования - 5 тактов;
- Задержка декодирования для одной итерации (inner decoder - deinterleaver - outer decoder - interleaver) - 3041 такт (36.4 мкс).
- Задержка декодирования 3-х полных итераций - 9123 такта (109.2 мкс).

Параметры IP ядра

Доступные для изменения параметры IP ядра I.3 VCH кодера/декодера представлены в таблице 3:

Таблица 3. Описание параметров IP ядра I.3 VCH кодера/декодера	
Параметр	Описание
ITER	количество полных итераций декодирования
MODE	режим работы IP ядра, "ENDPOINT" или "REPEATER"

Например:

- ITER = 3 и MODE = "REPEATER" означает три полные итерации декодирования в режиме **REPEATER**:

idat - inner1 - deint1 - outer1 - inter1 - inner2 - deint2 - outer2 - inter2 - inner3 - deint3 - outer3 - inter3 - odat;

- ITER = 3 и MODE = "ENDPOINT" означает три полные итерации декодирования в режиме **ENDPOINT** (без inter3):

idat - inner1 - deint1 - outer1 - inter1 - inner2 - deint2 - outer2 - inter2 - inner3 - deint3 - outer3 - odat.

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра I.3 VCH кодера.

Таблица 4. Производительность I.3 BCH кодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
	Altera Cyclone V 5CEFA7			
	4775 ALMs (9%) 26 M10K RAM blocks (4%) 0 DSP (18x18) (0%)	-8, Fmax	-7, Fmax	-6, Fmax
		143.0 MHz 18.3 Gbps	163.0 MHz 20.8 Gbps	203.0 MHz 25.9 Gbps
	Xilinx Virtex-7 XC7VX330T			
	1933 Slices (4%) 15 18K RAM blocks (1%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		266.0 MHz 34.0 Gbps	330.0 MHz 42.2 Gbps	360.0 MHz 46.0 Gbps

В таблице 5 приведены результаты измерений IP ядра I.3 BCH декодера.

Таблица 5. Производительность I.3 BCH декодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
3 iterations	Altera Cyclone V 5CEFA7			
	45898 ALMs (82%) 534 M10K RAM blocks (78%) 0 DSP (18x18) (0%)	-8, Fmax	-7, Fmax	-6, Fmax
		92.0 MHz 11.7 Gbps	104.0 MHz 13.3 Gbps	120.0 MHz 15.3 Gbps
3 iterations	Xilinx Virtex-7 XC7VX330T			
	18471 Slices (37%) 291 18K RAM blocks (20%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		176.0 MHz 22.5 Gbps	211.0 MHz 27.0 Gbps	241.0 MHz 30.8 Gbps

Описание интерфейса IP ядра

Для управления процессом кодирования/декодирования данных используется строб "начало информационного блока" **isop**, которым помечают первый информационный символ на входе кодера (FAS OH = 0xF6F6F6282828). Данные на входе **idat** и выходе **odat** имеют разрядность 128 бит. Для обеспечения скорости работы кодера/декодера 10.7 Gbps требуется тактовая частота не ниже 85 MHz. Результирующий кодированный блок на выходе кодера помечается стробом "начало кодированного блока" **osop**.

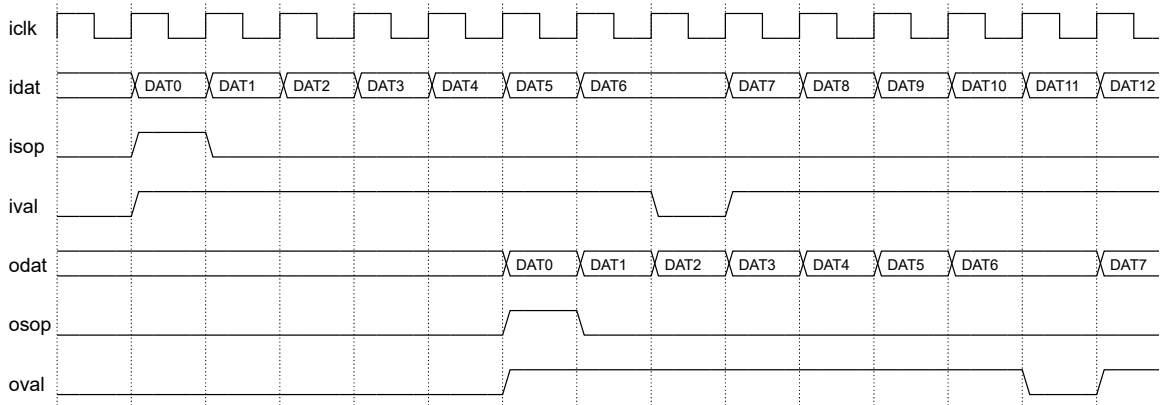


Рисунок 5. Временные диаграммы работы I.3 BCH кодера

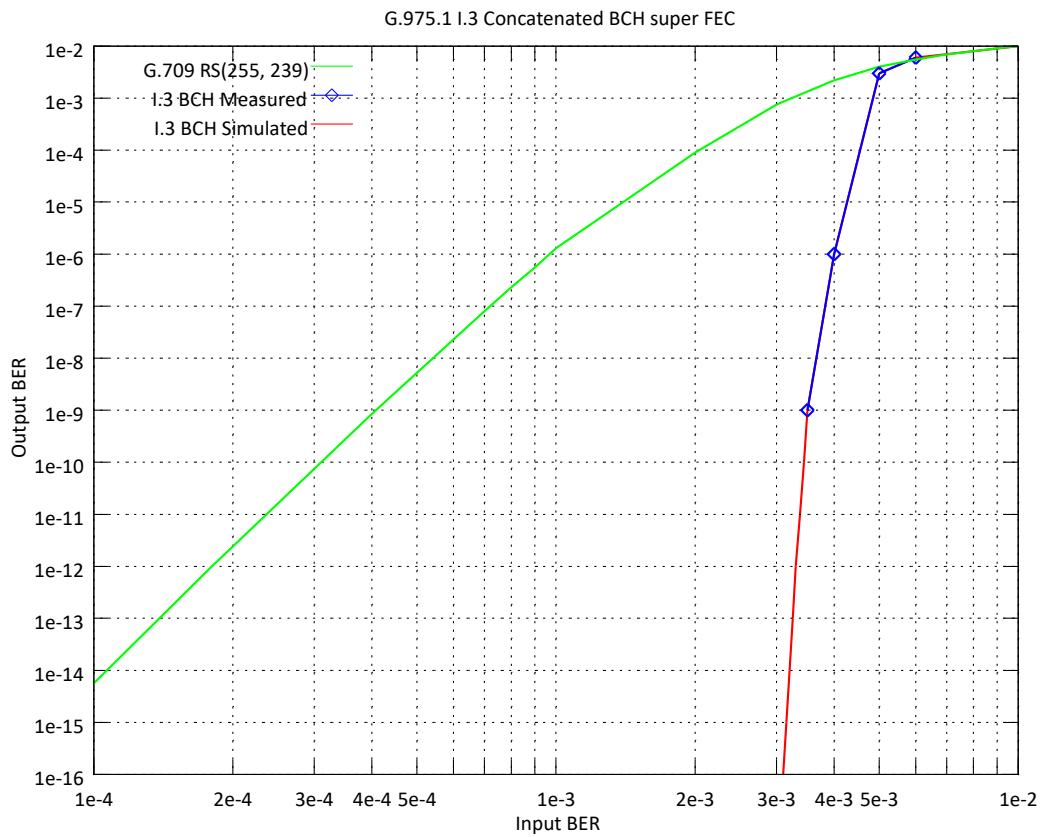


Рисунок 6. Исправляющая способность I.3 BCH декодера

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/i3-bch-codec/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.1	2015.09.30	Текущие улучшения
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.0	2012.11.20	Официальный релиз