



IP ядро I.6 40G LDPC кодера/декодера  
Спецификация

## Информация о релизе

Название	I.6 40G LDPC Codec IP Core
Версия	1.0
Дата сборки	2017.05
Код заказа	ip-i6-40g-ldpc-codec
Ревизия Спецификации	r1884

## Назначение IP ядра

Данное IP ядро реализует алгоритм помехоустойчивого кодирования для оптических линий связи на основе LDPC кода (32640, 30592) и полностью совместимо с рекомендацией:

- ITU-T G.975.1 (super-FEC для 2.5G, 10G и 40G оптических сетей).

## Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

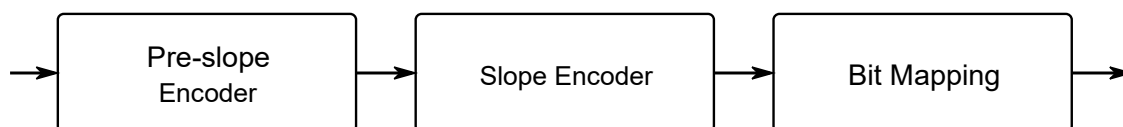
## Комплект поставки

IP ядро I.6 40G LDPC кодера/декодера включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

## Структура IP ядра

На рисунке 1 показана структурная схема IP ядра I.6 40G LDPC кодера.

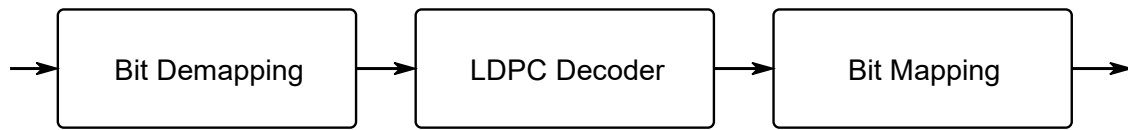


**Рисунок 1. Структурная схема I.6 40G LDPC кодера**

Кодер I.6 40G LDPC состоит из блока предварительного расчета четности (**Pre-slope Encoder**), блока расчета четности (**Slope Encoder**) и блока выдачи итогового фрейма (**Bit Mapping**).

На рисунке 2 показана структурная схема одной итерации

декодирования IP ядра I.6 40G LDPC декодера.

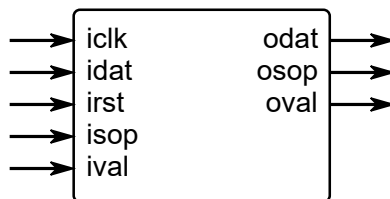


**Рисунок 2. Структурная схема одной итерации I.6 40G LDPC декодера**

Архитектура декодера I.6 40G LDPC позволяет задавать произвольное количество итераций декодирования. Одна итерация декодирования состоит из блока приема фрейма (**Bit Demapping**), LDPC декодера жестких решений (**LDPC Decoder**) и блока выдачи итогового фрейма (**Bit Mapping**).

## Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра I.6 40G LDPC кодера.

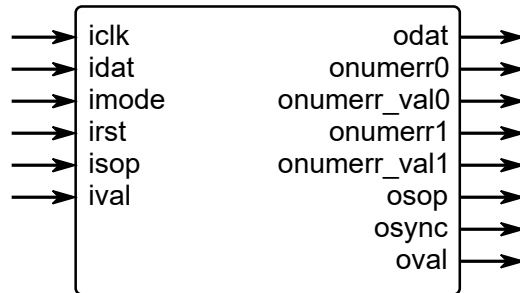


**Рисунок 3. Карта портов I.6 40G LDPC кодера**

Таблица 1. Описание портов I.6 40G LDPC кодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	256	входные (информационные) данные
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	строб начала информационного блока
ival	1	валидность входных данных
odat	256	выходные (кодированные) данные
osop	1	строб начала кодированного блока

oval	1	валидность выходных данных
------	---	----------------------------

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра I.6 40G LDPC декодера.



**Рисунок 4. Карта портов I.6 40G LDPC декодера**

Таблица 2. Описание портов I.6 40G LDPC декодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	256	входные (кодированные) данные
imode	1	режим выдачи выходных данных: 0 - без коррекции ошибочных символов 1 - с коррекцией ошибочных символов
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	строб начала кодированного блока
ival	1	валидность входных данных
odat	256	выходные данные (декодированные)
onumerr0	5	количество блоков с ошибками на входе
onumerr_val0	1	валидность onumerr0
onumerr1	5	количество блоков с ошибками на выходе
onumerr_val1	1	валидность onumerr1

osop	1	строб начала декодированного блока
osync	1	правильность подачи isop к FAS
oval	1	валидность выходных данных

### Описание работы IP ядра

IP ядро I.6 40G LDPC кодера/декодера полностью соответствует рекомендации ITU-T G.975.1 (02/2004) "Appendix I. Super FEC schemes. I.6 40G LDPC super FEC code". IP ядро предназначено для работы с линейным потоком OTN OTU3 со скоростью 43.01 Гбит/с в системах оптоволоконной связи. Возможно использование IP ядра I.6 40G LDPC кодера/декодера как в потоковом, так и в пакетном режимах.

Главные особенности данного IP ядра:

- Точное соответствие рекомендации ITU-T G.975.1 I.6 40G;
- Синхронный, высокоскоростной алгоритм декодирования;
- Выходные порты статистики ошибок (ошибки на входе и ошибки на выходе декодера);
- Задержка кодирования - 1020 тактов (6 мкс);
- Задержка декодирования 15-ти итераций (15 slope decoding) - 2048 тактов (12 мкс).

Параметры IP ядра

Доступные для изменения параметры IP ядра I.6 40G LDPC кодера/декодера представлены в таблице 3:

Таблица 3. Описание параметров IP ядра I.6 40G LDPC кодера/декодера	
Параметр	Описание
ITER	количество итераций декодирования
s1, ..., s7	коэффициенты наклона линий проверки четности LDPC кода (slopes)

Например:

- ITER = 5 означает, что суммарно будет проведено 5 операций декодирования:

idat - dec1 - dec2 - dec3 - dec4 - dec5 - odat;

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра I.6 40G LDPC кодера.

Таблица 4. Производительность I.6 40G LDPC кодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
40G режим	Altera Arria 10 10AX066			
	- ALMs - M20K RAM blocks	-3, Fmax	-2, Fmax	-1, Fmax
		—	—	—
40G режим	Xilinx Virtex-7 XC7VX690T			
	- Slices - 18K RAM blocks	-1, Fmax	-2, Fmax	-3, Fmax
		—	—	—

В таблице 5 приведены результаты измерений IP ядра I.6 40G LDPC декодера.

Таблица 5. Производительность I.6 40G LDPC декодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
40G режим 15 итерации	Altera Arria 10 10AX066			
	74434 ALMs (30%) 128 M20K RAM blocks (6%) 0 DSP (18x18) (0%)	-3, Fmax	-2, Fmax	-1, Fmax
		190.0 MHz 48.6 Gbps	220.0 MHz 56.3 Gbps	250.0 MHz 64.0 Gbps
40G режим 15 итерации	Xilinx Virtex-7 XC7VX690T			
	27940 Slices (25%) 144 18K RAM blocks (5%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		200.0 MHz 51.2 Gbps	230.0 MHz 58.8 Gbps	260.0 MHz 66.56 Gbps

Описание интерфейса IP ядра

Для управления процессом кодирования/декодирования данных используется строб "начало информационного блока" **isop**, которым помечают первый информационный символ на входе кодера (FAS OH = 0xF6F6F6282828). Данные на входе **idat** и выходе **odat** имеют разрядность 256 бит. Для обеспечения скорости работы кодера/декодера 43.01 Gbps требуется тактовая частота не ниже 170 MHz. Результирующий кодированный блок на выходе кодера помечается стробом "начало кодированного блока" **osop**.

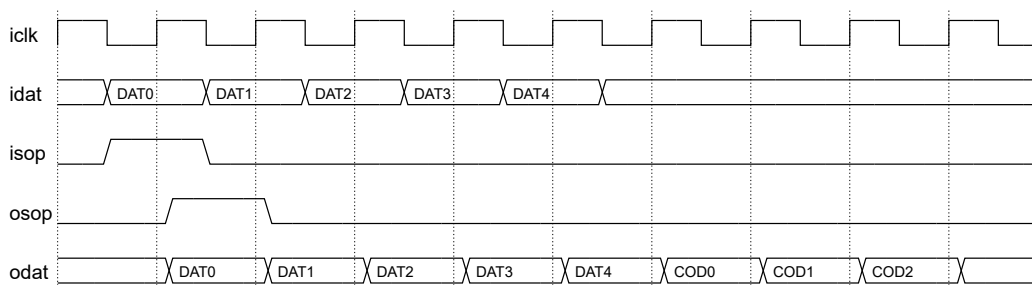
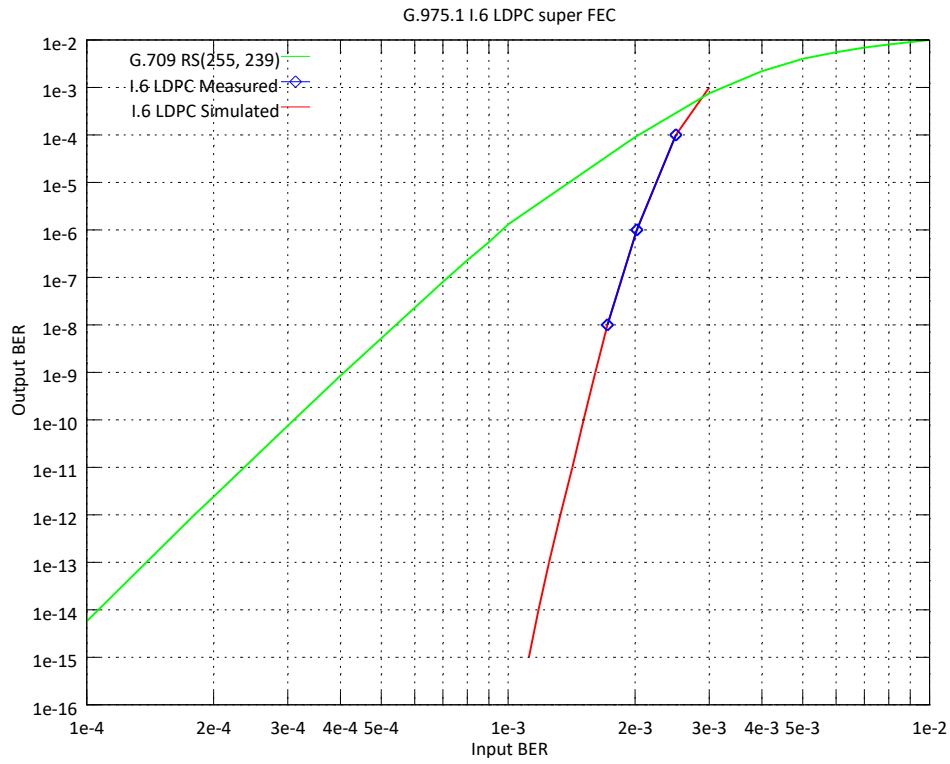


Рисунок 5. Временные диаграммы работы I.6 40G LDPC кодера





**Рисунок 6. Исправляющая способность I.6 40G LDPC декодера**

### Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/i6-40g-ldpc-codec/>

### Обратная связь

Иприум

E-mail: [info@iprium.ru](mailto:info@iprium.ru)

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

### История изменений

Версия	Дата	Изменения
1.0	2017.05.23	Официальный релиз