



IP ядро 1.9 VCN кодера/декодера
Спецификация

Информация о релизе

Название	I.9 BCH Codec IP Core
Версия	2.1
Дата сборки	2015.05
Код заказа	ip-i9-bch-codec
Ревизия Спецификации	r1620

Назначение IP ядра

Данное IP ядро реализует алгоритм помехоустойчивого кодирования для оптических линий связи на основе BCH кодов (1020, 988) и полностью совместимо с рекомендацией:

- ITU-T G.975.1 (super-FEC для 2.5G, 10G и 40G оптических сетей).

Стоимость и условия лицензии

Стоимость:

- Стоимость нетлиста : 7290 евро;
- Стоимость исходного кода : 41450 евро;
- +10% к стоимости за нетлисты для каждого дополнительного семейства ПЛИС;
- Цена доработки под требования клиента - 1000-5000 евро.

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

Комплект поставки

IP ядро I.9 BCH кодера/декодера включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра I.9 BCH кодера.

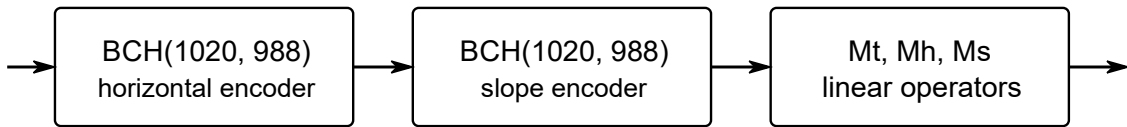


Рисунок 1. Структурная схема I.9 BCH кодера

Кодер I.9 BCH состоит из "горизонтального" кодера (BCH(1020, 988) horizontal encoder), "наклонного" кодера (BCH(1020, 988) slope encoder) и линейных преобразователей (Mt, Mh, Ms linear operators).

На рисунке 2 показана структурная схема двух итераций декодирования IP ядра I.9 BCH декодера.

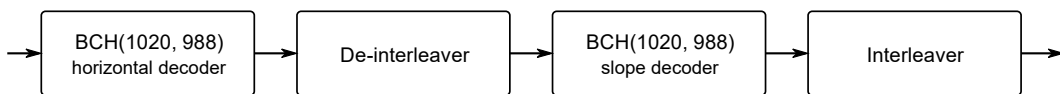


Рисунок 2. Структурная схема двух итераций I.9 BCH декодера

Архитектура декодера I.9 BCH позволяет задавать произвольное количество итераций декодирования. Две итерации декодирования состоят из декодера "горизонтального" кода (BCH(1020, 988) horizontal decoder), деинтерливера (De-interleaver), декодера "наклонного" кода (BCH(1020, 988) slope decoder) и интерливера (Interleaver).

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра I.9 BCH кодера.

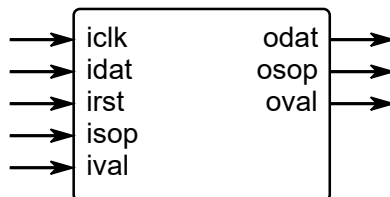


Рисунок 3. Карта портов I.9 BCH кодера

Таблица 1. Описание портов I.9 BCH кодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	64	входные (информационные) данные

irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	строб начала информационного блока
ival	1	валидность входных данных
odat	64	выходные (кодированные) данные
osop	1	строб начала кодированного блока
oval	1	валидность выходных данных

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра I.9 BCH декодера.

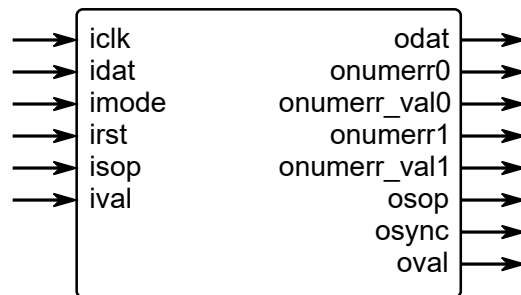


Рисунок 4. Карта портов I.9 BCH декодера

Таблица 2. Описание портов I.9 BCH декодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	64	входные (кодированные) данные
imode	1	режим выдачи выходных данных: 0 - без коррекции ошибочных символов 1 - с коррекцией ошибочных символов
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.

isop	1	строб начала кодированного блока
ival	1	валидность входных данных
odat	64	выходные данные (декодированные)
onumerr0	5	количество блоков с ошибками на входе
onumerr_val0	1	валидность onumerr0
onumerr1	5	количество блоков с ошибками на выходе
onumerr_val1	1	валидность onumerr1
osop	1	строб начала декодированного блока
osync	1	правильность подачи isop к FAS
oval	1	валидность выходных данных

Описание работы IP ядра

IP ядро I.9 BCH кодера/декодера полностью соответствует рекомендации ITU-T G.975.1 (02/2004) "Appendix I. Super FEC schemes. I.9 Two interleaved extended BCH(1020,988) super FEC code". IP ядро предназначено для работы с линейным потоком OTN OTU2 со скоростью 10,7 Гбит/с в системах оптоволоконной связи. Возможно использование IP ядра I.9 BCH кодера/декодера как в потоковом, так и в пакетном режимах.

Главные особенности данного IP ядра:

- Точное соответствие рекомендации ITU-T G.975.1 I.9;
- Синхронный, высокоскоростной алгоритм декодирования;
- Выходные порты статистики ошибок (ошибки на входе и ошибки на выходе декодера);
- Задержка кодирования - 8164 такта (48.879 мкс);
- Задержка декодирования 13-ти итераций (7 horiz + 6 slope decoding) - 16326 такта (97.5667 мкс).

Параметры IP ядра

Доступные для изменения параметры IP ядра I.9 BCH кодера/декодера представлены в таблице 3:

Таблица 3. Описание параметров IP ядра I.9 BCH кодера/декодера	
Параметр	Описание
ITER	количество итераций декодирования

Например:

- ITER = 5 означает, что суммарно будет проведено 5 операций декодирования:

idat - horiz1 - slope2 - horiz3 - slope4 - horiz5 - odat;

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра I.9 BCH кодера.

Таблица 4. Производительность I.9 BCH кодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
разрядность = 64 бита	Altera Stratix V 5SGSMD5			
	86478 ALMs (50%) 135 M20K RAM blocks (7%) 0 DSP (18x18) (0%)	-4, Fmax 170.0 MHz 10.8 Gbps	-3, Fmax 180.0 MHz 11.5 Gbps	-2, Fmax 195.0 MHz 12.5 Gbps
разрядность = 64 бита	Xilinx Virtex-7 XC7VX485T			
	44376 Slices (59%) 146 18K RAM blocks (8%) 0 DSP (18x18) (0%)	-1, Fmax 138.0 MHz 8.8 Gbps	-2, Fmax 160.0 MHz 10.2 Gbps	-3, Fmax 175.0 MHz 11.2 Gbps

В таблице 5 приведены результаты измерений IP ядра I.9 BCH декодера.

Таблица 5. Производительность I.9 VSN декодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
разрядность = 64 бита 13 итераций	Altera Cyclone V 5CEFA7			
	23900 ALMs (43%) 310 M10K RAM blocks (46%) 0 DSP (18x18) (0%)	-8, Fmax	-7, Fmax	-6, Fmax
		116.0 MHz 7.4 Gbps	136.0 MHz 8.7 Gbps	157.0 MHz 10.0 Gbps
разрядность = 64 бита 13 итераций	Xilinx Virtex-7 XC7VX330T			
	13429 Slices (27%) 251 18K RAM blocks (17%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		219.0 MHz 14.0 Gbps	244.0 MHz 15.6 Gbps	267.0 MHz 17.1 Gbps

Описание интерфейса IP ядра

Для управления процессом кодирования/декодирования данных используется строб "начало информационного блока" **isop**, которым помечают первый информационный символ на входе кодера (FAS OH = 0xF6F6F6282828). Данные на входе **idat** и выходе **odat** имеют разрядность 64 бит. Для обеспечения скорости работы кодера/декодера 10.7 Gbps требуется тактовая частота не ниже 170 MHz. Результирующий кодированный блок на выходе кодера помечается стробом "начало кодированного блока" **osop**.

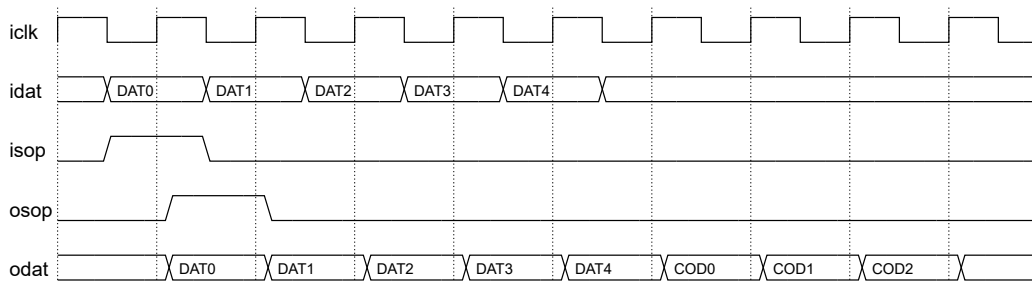


Рисунок 5. Временные диаграммы работы I.9 VSN кодера

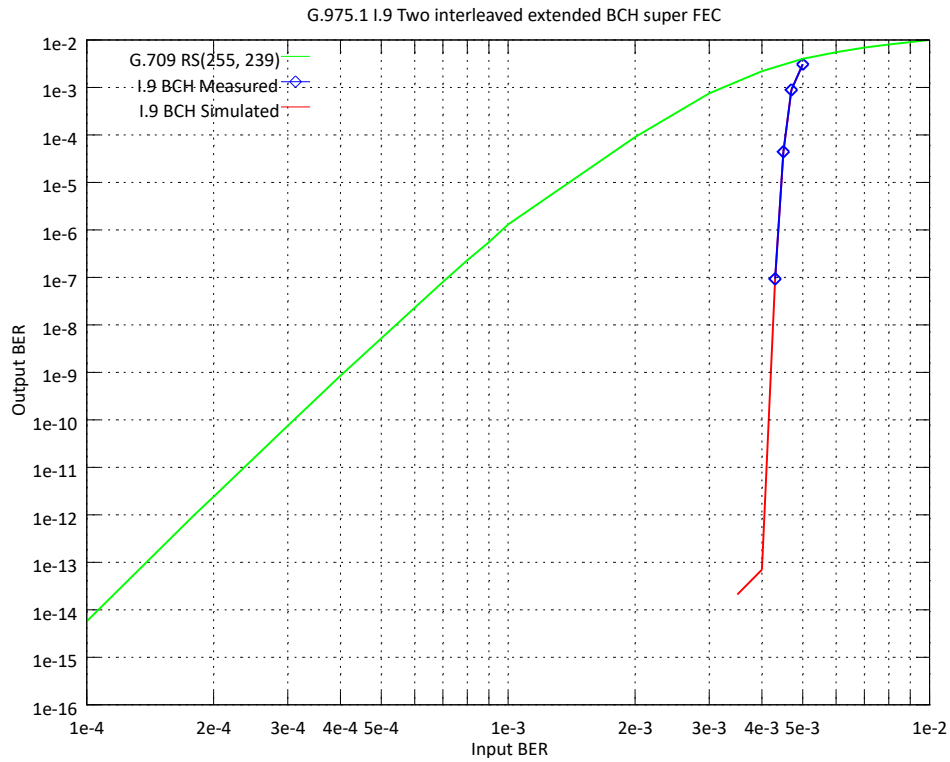


Рисунок 6. Исправляющая способность I.9 BCH декодера

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/i9-bch-codec/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.1	2015.05.21	Улучшена производительность кодера и декодера
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.0	2013.04.02	Официальный релиз