



IP ядро J.83 annex B модулятора
Спецификация

Информация о релизе

Название	J.83 annex B Modulator IP Core
Версия	2.0
Дата сборки	2021.06
Код заказа	ip-j83b-modulator
Ревизия Спецификации	r1884

Назначение IP ядра

Данное IP ядро является полнофункциональным 32-х канальным цифровым J.83 annex B модулятором и полностью совместимо со стандартом ITU-T J.83 annex B (12/2007).

Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

Комплект поставки

IP ядро J.83 annex B модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра J.83 annex B модулятора.

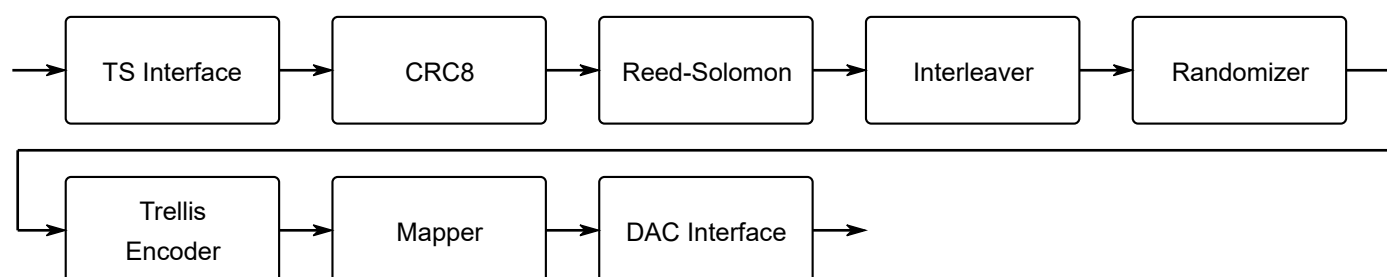


Рисунок 1. Структурная схема J.83 annex B модулятора

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра J.83 annex B модулятора.

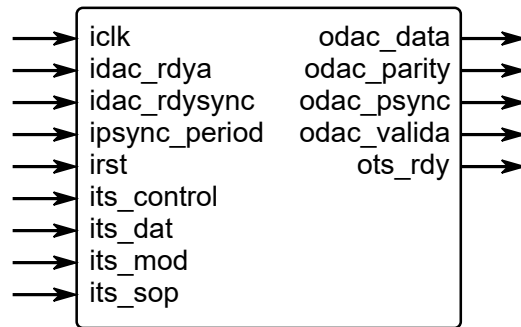


Рисунок 2. Карта портов J.83 annex B модулятора

Таблица 1. Описание портов J.83 annex B модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idac_rdy	2	RDYA сигнал от ЦАП. Два бита, {второй во времени, первый во времени} выход ODDR примитива.
idac_rdy_sync	2	RDYSYNC сигнал от ЦАП. Два бита, {второй во времени, первый во времени} выход ODDR примитива.
ipsync_period	8	Количество timeslots ЦАП.
rst	1	IP ядро сбрасывается синхронно, когда rst устанавливается в логическую единицу.

its_control	4	Выбор режима Level 2 Interleaving: 0 - I=128, J=1 1 - I=128, J=1 2 - I=128, J=2 3 - I=64, J=2 4 - I=128, J=3 5 - I=32, J=4 6 - I=128, J=4 7 - I=16, J=8 8 - I=128, J=5 9 - I=8, J=16 10 - I=128, J=6 11 - Reserved 12 - I=128, J=7 13 - Reserved 14 - I=128, J=8 15 - Reserved
its_dat	256	32 параллельных TS канала J.83B (1 канал = 8 бит).
its_mod	1	Выбор типа модуляция: 0 - 64-QAM 1 - 256-QAM
its_sop	32	Строб синхробайта входных данных (0x47 TS) для 32-х параллельных каналов.
odac_data	20	DATA (constellation symbols) для десяти параллельных ODDR примитивов.
odac_parity	2	PARITY сигнал для ЦАП. Два бита, {второй во времени, первый во времени} входы ODDR примитива.
odac_psync	2	PSYNC сигнал для ЦАП. Два бита, {второй во времени, первый во времени} входы ODDR примитива.
odac_valida	2	VALIDA сигнал для ЦАП. Два бита, {второй во времени, первый во времени} входы ODDR примитива.
ots_rdy	32	Готовность принимать входные данные для 32-х параллельных каналов.

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 2 приведены результаты измерений IP ядра J.83 annex B модулятора.

Таблица 2. Производительность DVB-C модулятора		
Параметры IP ядра	Тип микросхемы ПЛИС	
	Ресурс	Производительность
MAX_TS = 32	Xilinx ZCU102 board, XCZU9EG	
	17809 CLBs (52%) 480 36K RAM blocks (53%) 0 DSP (18x18) (0%)	128+ MHz System Clock 32 J.83B канала 64-QAM или 256-QAM

Описание интерфейса IP ядра

IP ядро J.83B annex B модулятора поддерживает 32-х канальный режим работы с DAC MAX5861 (MAX5862) и позволяет формировать спектр в диапазоне от 0 МГц до 1100 МГц.

На рисунке 3 приведена схема подключения ЦАП.

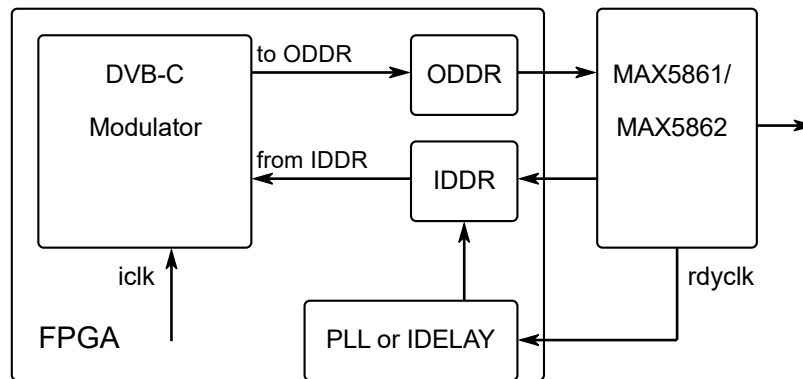


Рисунок 3. Схема подключения ЦАП MAX5861/MAX5862.

На рисунке 4 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом `ots_rdy`. Входные данные считываются с входа `its_dat` только тогда, когда `ots_rdy` равен единице ("1").

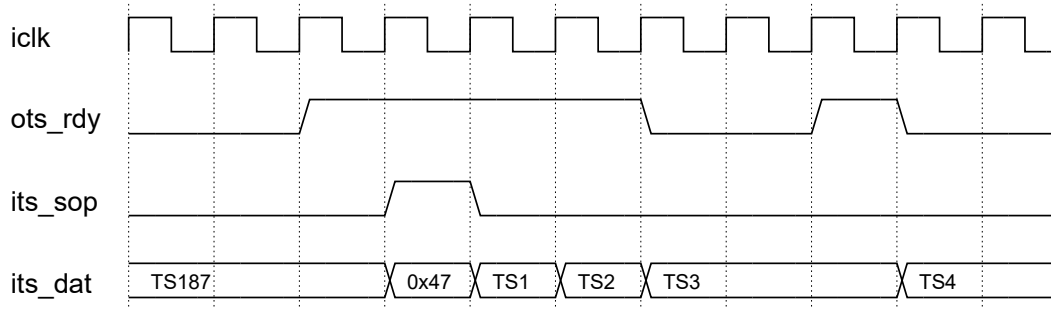


Рисунок 4. Временные диаграммы входного интерфейса IP ядра.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/j83b-modulator/>

Обратная связь

Иприум

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.0	2021.06.01	Добавлена поддержка 32-х канального режима работы с MAX5861 и MAX5862
1.0	2019.08.06	Официальный релиз