



IP ядро J.83 annex B модулятора  
Спецификация

Информация о релизе

Название	J.83 annex B Modulator IP Core
Версия	1.0
Дата сборки	2019.08
Код заказа	ip-j83b-modulator
Ревизия Спецификации	r1490

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым J.83 annex B модулятором и полностью совместимо со стандартом ITU-T J.83 annex B (12/2007).

Комплект поставки

IP ядро J.83 annex B модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра J.83 annex B модулятора.

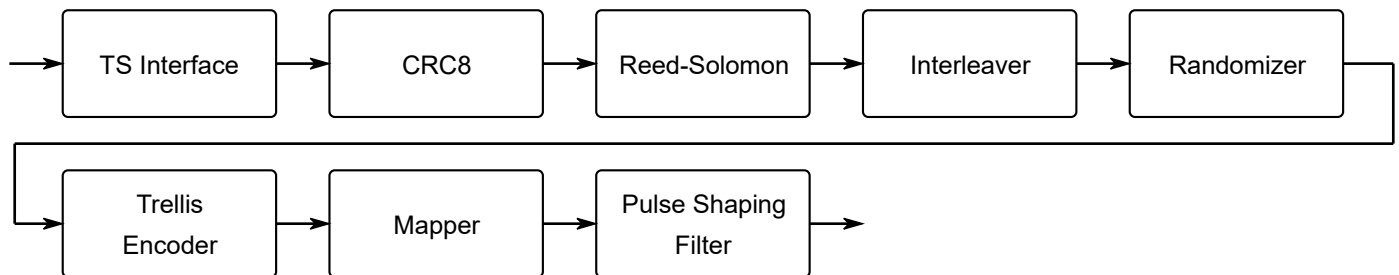


Рисунок 1. Структурная схема J.83 annex B модулятора

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра J.83 annex B модулятора.

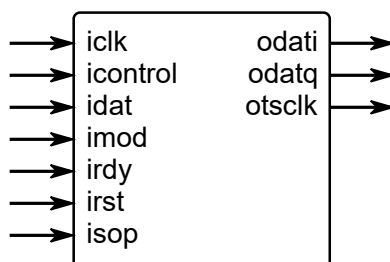


Рисунок 2. Карта портов J.83 annex B модулятора

Таблица 1. Описание портов J.83 annex B модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
icontrol	4	Выбор режима Level 2 Interleaving: 0 - I=128, J=1 1 - I=128, J=1 2 - I=128, J=2 3 - I=64, J=2 4 - I=128, J=3 5 - I=32, J=4 6 - I=128, J=4 7 - I=16, J=8 8 - I=128, J=5 9 - I=8, J=16 10 - I=128, J=6 11 - Reserved 12 - I=128, J=7 13 - Reserved 14 - I=128, J=8 15 - Reserved
idat	8	Входные (информационные) данные.
imod	1	Выбор типа модуляции: 0 - 64-QAM 1 - 256-QAM
irdy	1	Запрос выходных данных модулятора.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	Строб синхробайта входных данных (0x47 TS).
odati	W_DAC	Выход модулятора в основной полосе частот (I канал) или на промежуточной частоте.
odatq	W_DAC	Выход модулятора в основной полосе частот (Q канал).
otsclk	1	Готовность принимать входные данные.

Параметры IP  
ядра

Доступные для изменения параметры IP ядра J.83 annex B модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра J.83 annex B модулятора	
Параметр	Описание
W_DAC	Разрядность выходных данных (odati/odatq). Повышение разрядности odati/odatq увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра J.83 annex B модулятора.

Таблица 3. Производительность J.83 annex B модулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_DAC=16	Altera Cyclone 10 LP 10CL080			
	6620 LEs (8%) 56 M9K RAM blocks (18%) 0 DSP (18x18) (0%)	-8, Fmax	-7, Fmax	-6, Fmax
		100.0 MHz	120.0 MHz	140.0 MHz
W_DAC=16	Xilinx Virtex-7 XC7VX330T			
	1414 Slices (3%) 28 18K RAM blocks (2%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		180.0 MHz	220.0 MHz	260.0 MHz

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется **odati** и **odatq**), **ifreq** равно 0;
- На промежуточной частоте (используется **odati**), **ifreq** не равно 0.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром J.83 annex B модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима.

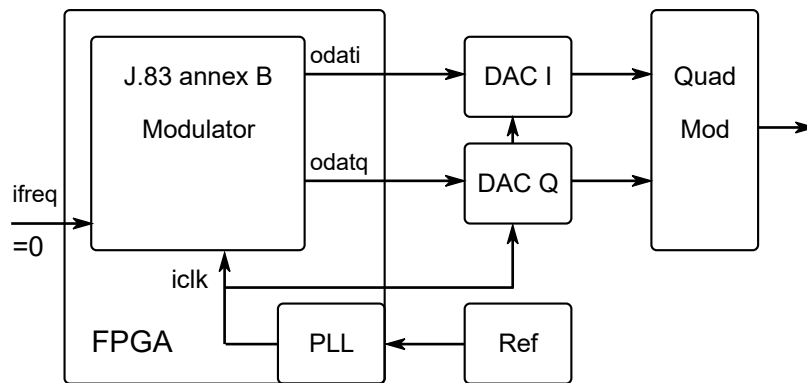


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

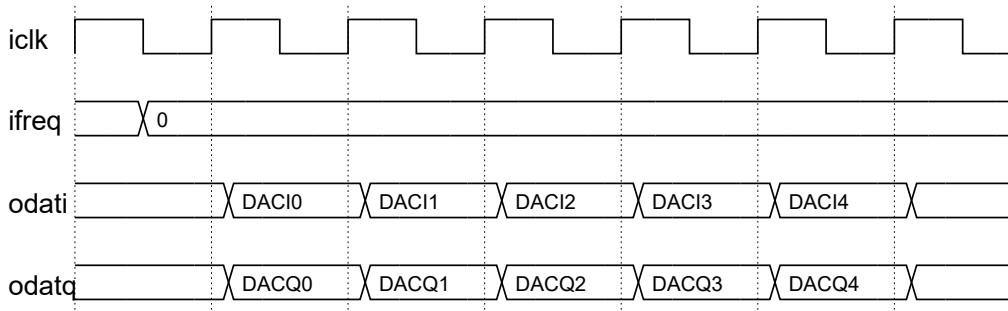


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты *ifreq* задает значение ПЧ на выходе модулятора *odati*.

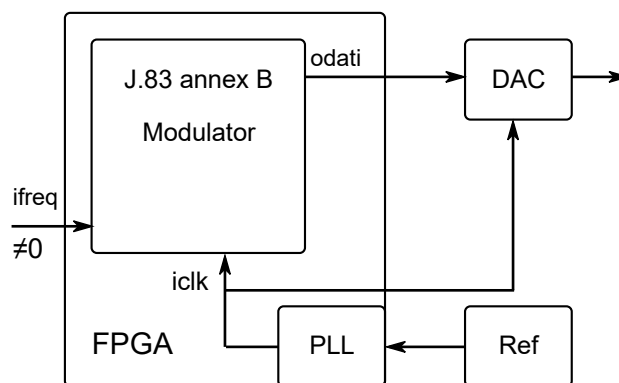
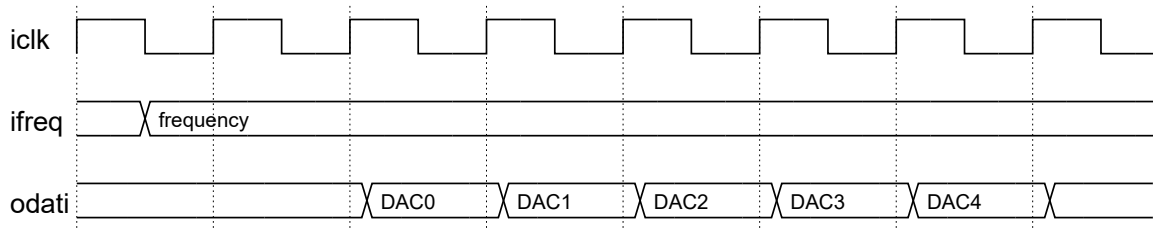
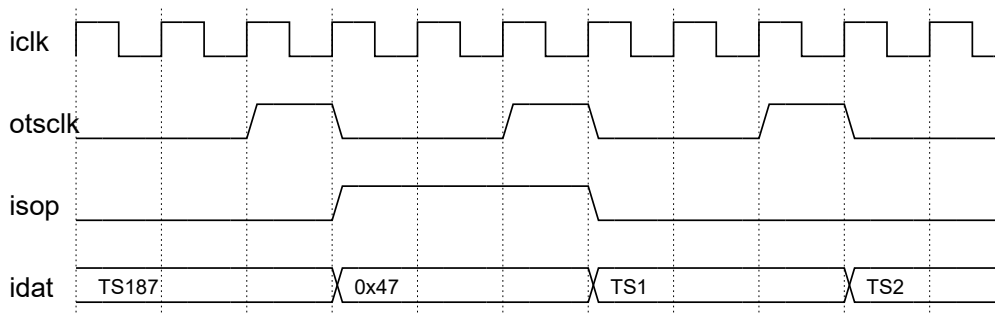


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.



**Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.**

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **otsclk**. Входные данные считываются с входа **idat** только тогда, когда **otsclk** равен единице ("1").



**Рисунок 7. Временные диаграммы входного интерфейса IP ядра.**

IP ядро J.83 annex B модулятора поддерживает 4-х канальный режим работы с RF DAC AD9789 и позволяет формировать спектр с полосой от 2 МГц до 9 МГц в диапазоне от 0 МГц до 1100 МГц.

### Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/j83b-modulator/>

### Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: [info@iprium.ru](mailto:info@iprium.ru)

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

### История изменений

Версия	Дата	Изменения
1.0	2019.08.06	Официальный релиз