



IP ядро LDPC NASA кодера/декодера  
Спецификация

## Информация о релизе

Название	LDPC NASA Codec IP Core
Версия	2.0
Дата сборки	2014.09
Код заказа	ip-ldpc-nasa-codec
Ревизия Спецификации	r1884

## Назначение IP ядра

Данное IP ядро реализует алгоритм помехоустойчивого кодирования LDPC NASA CCSDS C2 (8176, 7154) и полностью совместимо со стандартом GSFC-STD-9100 (Low Density Parity Check Code for Rate 7/8).

## Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

## Комплект поставки

IP ядро LDPC NASA кодера/декодера включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

## Структура IP ядра

На рисунке 1 показана структурная схема IP ядра LDPC NASA кодера.

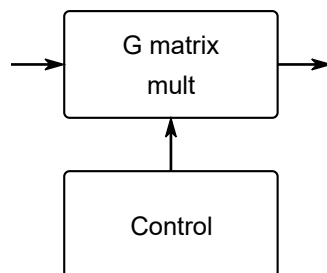
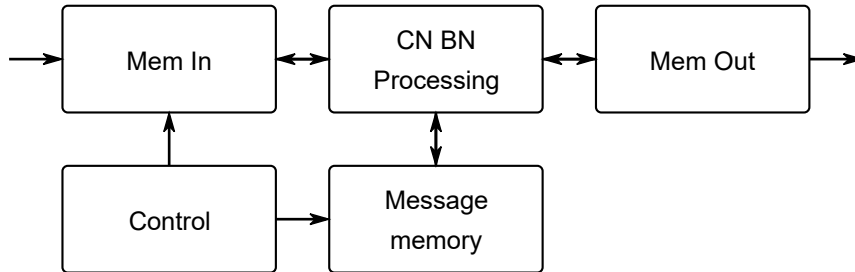


Рисунок 1. Структурная схема LDPC NASA кодера

LDPC NASA кодер состоит из блока управления (Control) и блока

умножения на генерирующую матрицу (**G matrix mult**).

На рисунке 2 показана структурная схема IP ядра LDPC NASA декодера.

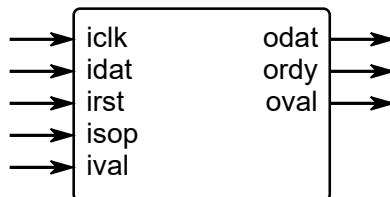


**Рисунок 2. Структурная схема LDPC NASA декодера**

LDPC NASA декодер состоит из блока управления (**Control**), блока входного буфера (**Mem In**), блока выходного буфера (**Mem Out**), блока хранения данных (**Message Memory**) и блока обработки LLR информации (**CN BN Processing**).

## Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра LDPC NASA кодера.

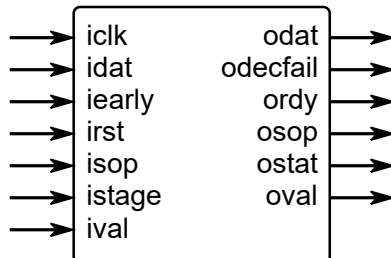


**Рисунок 3. Карта портов LDPC NASA кодера**

Таблица 1. Описание портов LDPC NASA кодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	1	Входные (информационные) данные.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	Строб начала блока входных данных.
ival	1	Валидность входных данных.
odat	1	Выходные данные кодера.

ordy	1	Готовность принимать входные данные.
oval	1	Валидность выходных данных.

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра LDPC NASA декодера.



**Рисунок 4. Карта портов LDPC NASA декодера**

Таблица 2. Описание портов LDPC NASA декодера		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	W_IN	Входные LLR данные.
iearly	1	Разрешение "early stop detection".
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	Строб начала блока входных данных.
istage	W_STAGE	Выбор количества итераций декодирования.
ival	1	Валидность входных данных.
odat	1	Выходные данные декодера.
odecfail	1	Индикация неисправленных ошибок.
ordy	1	Готовность принимать входные данные.
osop	1	Строб начала блока выходных данных.

ostat	2	статус выдачи декодированного блока: 0 - данных нет 1 - информационные символы 2 - проверочные символы
oval	1	Валидность выходных данных.

## Параметры IP ядра

Доступные для изменения параметры IP ядра LDPC NASA кодера/декодера представлены в таблице 3:

Таблица 3. Описание параметров IP ядра LDPC NASA кодера/декодера	
Параметр	Описание
W_IN	Разрядность значений LLR одного символа на входе декодера ( <b>idat</b> ). Повышение разрядности LLR увеличивает точность описания значения декодируемого символа, но одновременно увеличивает требуемый ресурс ПЛИС.
W_LLР	Разрядность внутренних аккумуляторов LLR. Повышение разрядности аккумуляторов LLR увеличивает точность расчета декодируемого символа, но одновременно увеличивает требуемый ресурс ПЛИС.
W_STAGE	Задаёт максимальное количество итераций декодирования ( <b>istage</b> ). Увеличение количества итераций повышает качество декодирования, но одновременно снижает пропускную способность декодера.

**Скорость работы  
и занимаемый  
ресурс**

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра LDPC NASA кодера.

Таблица 4. Производительность LDPC NASA кодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_IN=1	Altera Cyclone IV EP4CE75			
	2,158 LEs 0 M9K RAM blocks 0 DSP (18x18)	-8, Fmax	-7, Fmax	-6, Fmax
230.0 MHz 230.0 Mbit/s		269.0 MHz 269.0 Mbit/s	318.0 MHz 318.0 Mbit/s	
W_IN=1	Xilinx Virtex-6 XC6VLX240T			
	290 Slices 0 18K RAM blocks 0 DSP (18x18)	-1, Fmax	-2, Fmax	-3, Fmax
418.0 MHz 418.0 Mbit/s		490.0 MHz 490.0 Mbit/s	570.0 MHz 570.0 Mbit/s	

В таблице 5 приведены результаты измерений IP ядра LDPC NASA декодера.

Таблица 5. Производительность LDPC NASA декодера				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_IN=6 W_LLNR=9 W_STAGE=5 8 stages of decoding	Altera Cyclone IV EP4CE75			
	4,139 LEs 44 M9K RAM blocks 0 DSP (18x18)	-8, Fmax	-7, Fmax	-6, Fmax
156.0 MHz 48.6 Mbit/s		182.7 MHz 56.9 Mbit/s	203.8 MHz 63.5 Mbit/s	
W_IN=6 W_LLNR=9 W_STAGE=5 8 stages of decoding	Xilinx Virtex-6 XC6VLX240T			
	1,088 Slices 22 18K RAM blocks 0 DSP (18x18)	-1, Fmax	-2, Fmax	-3, Fmax
240.0 MHz 74.7 Mbit/s		271.0 MHz 84.4 Mbit/s	298.0 MHz 92.8 Mbit/s	

Описание интерфейса IP ядра

Для управления процессом кодирования/декодирования данных используется строб "начало информационного блока" **isop** и "валидность входных данных" **ival**. Стробом **isop** помечают первый информационный символ на входе кодера или декодера. Результирующий декодированный блок на выходе декодера помечается стробами "начало кодированного блока" **osop** и "валидность выходных данных" **oval**. Дополнительно декодер помечает статус выдаваемых данных при помощи **ostat**:

- 0 - данных на выходе нет;
- 1 - на выходе информационные символы кодированного блока;
- 2 - на выходе проверочные символы кодированного блока.

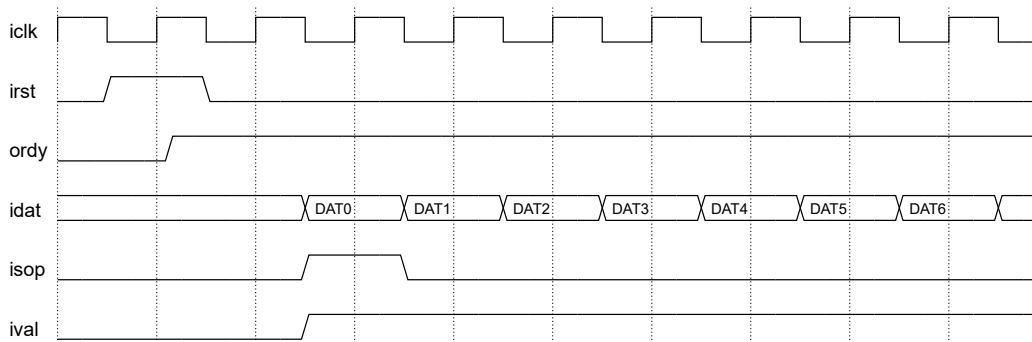


Рисунок 5. Временные диаграммы работы LDPC NASA декодера (вход)

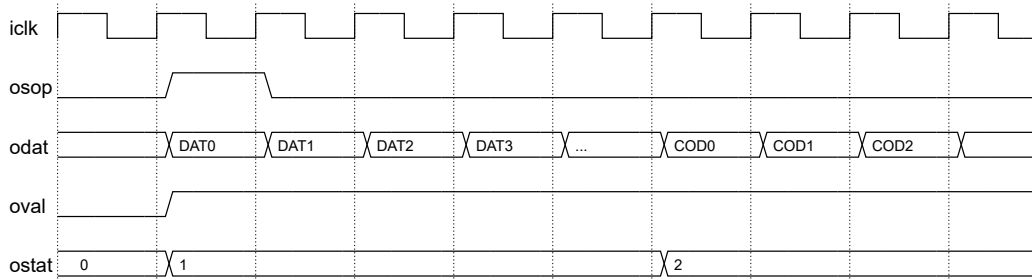


Рисунок 6. Временные диаграммы работы LDPC NASA декодера (выход)

### Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/ldpc-nasa-codec/>

### Обратная связь

Иприум

E-mail: [info@iprium.ru](mailto:info@iprium.ru)

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

### История изменений

Версия	Дата	Изменения
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.1	2013.01.18	Повышена производительность декодера
1.0	2012.04.04	Официальный релиз