



IP ядро Мульти-гигабитного Модема
Спецификация

Информация о релизе

| | |
|----------------------|-----------------------------|
| Название | Multi-gigabit Modem IP Core |
| Версия | 2.0 |
| Дата сборки | 2016.05 |
| Код заказа | ip-multi-gigabit-modem |
| Ревизия Спецификации | r1383 |

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым BPSK/QPSK модемом с Ethernet интерфейсом и помехоустойчивым кодированием Рида-Соломона, и предназначено для работы в составе широкополосного (E-band) радиорелейного оборудования в непрерывном режиме.

Комплект поставки

IP ядро Мульти-гигабитного Модема включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра Мульти-гигабитного Модулятора.

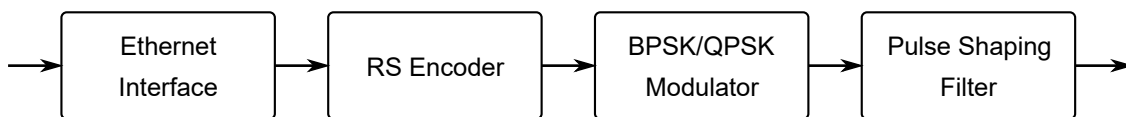


Рисунок 1. Структурная схема Мульти-гигабитного Модулятора

На рисунке 2 показана структурная схема IP ядра Мульти-гигабитного Демодулятора.

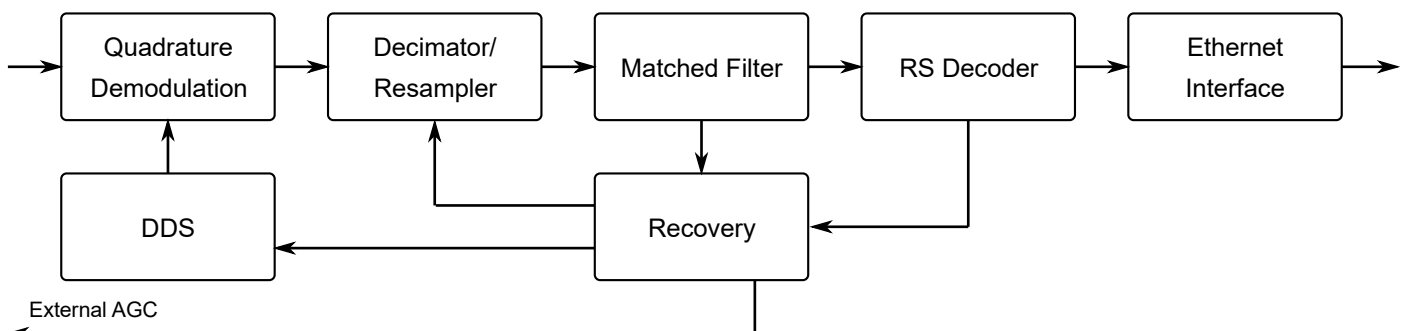


Рисунок 2. Структурная схема Мульти-гигабитного Демодулятора

Демодулятора

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра Мульти-гигабитного Модулятора.

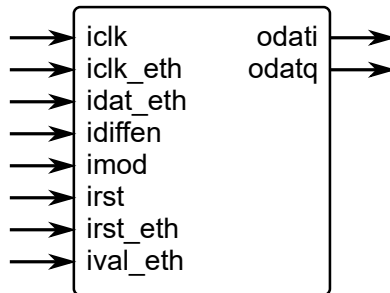


Рисунок 3. Карта портов Мульти-гигабитного Модулятора

| Порт | Разрядность | Описание |
|----------------|-------------|---|
| iclk | 1 | Системная тактовая частота. IP ядро работает по переднему фронту iclk. |
| iclk_eth | 1 | Тактовая частота Ethernet данных. |
| idat_eth | 8 или 16 | Входные Ethernet данные. |
| idiffen | 1 | Подключение дифференциального кодирования. |
| imod | 1 | Выбор схемы модуляции: 0 - BPSK; 1 - QPSK. |
| irst | 1 | IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу. |
| irst_eth | 1 | Входное ФИФО сбрасывается синхронно, когда irst_eth устанавливается в логическую единицу. |
| ival_eth | 1 | Валидность Ethernet данных. |
| odati odatq | W_DAC*NSPC | Комплексный IQ выход модулятора в основной полосе частот или на промежуточной частоте. |

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра Мульти-гигабитного

Демодулятора.

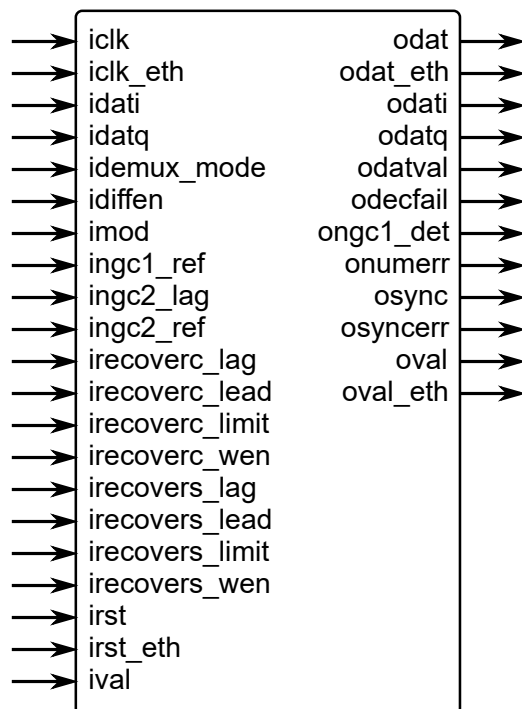


Рисунок 4. Карта портов Мульти-гигабитного Демодулятора

| Таблица 2. Описание портов Мульти-гигабитного Демодулятора | | |
|--|-------------|--|
| Порт | Разрядность | Описание |
| iclk | 1 | Системная тактовая частота. IP ядро работает по переднему фронту iclk. |
| iclk_eth | 1 | Тактовая частота Ethernet данных. |
| idati | W_ADC*NSPC | Входные данные (I-канал). |
| idatq | W_ADC*NSPC | Входные данные (Q-канал). |
| idemux_mode | 2 | Прямое подключение к данным демодулятора. |
| idiffen | 1 | Подключение дифференциального кодирования. |
| imod | 1 | Выбор схемы модуляции (0- BPSK / 1-QPSK). |
| ingc1_ref | 10 | Установка опорного уровня внешней АРУ. |
| ingc2_lag | 3 | Регулировка скорости подстройки АРУ созвездия. |

| | | |
|-----------------|------------|--|
| ingc2_ref | 8 | Установка опорного уровня АРУ созвездия. |
| irecoverc_lag | 5 | Выбор полосы петлевого фильтра для подстройки несущей частоты. |
| irecoverc_lead | 5 | Выбор полосы петлевого фильтра для подстройки несущей частоты. |
| irecoverc_limit | 5 | Установка диапазона изменений для подстройки несущей частоты. |
| irecoverc_wen | 1 | Разрешение работы петлевого фильтра для подстройки несущей частоты. |
| irecoverc_lag | 5 | Выбор полосы петлевого фильтра для подстройки символьной частоты. |
| irecoverc_lead | 5 | Выбор полосы петлевого фильтра для подстройки символьной частоты. |
| irecoverc_limit | 5 | Установка диапазона изменений для подстройки символьной частоты. |
| irecoverc_wen | 1 | Разрешение работы петлевого фильтра для подстройки символьной частоты. |
| irst | 1 | IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу. |
| irst_eth | 1 | Выходное ФИФО сбрасывается синхронно, когда irst_eth устанавливается в логическую единицу. |
| ival | 1 | Валидность входных данных. |
| odat | NSPC | Выходные (канальные) данные. |
| odat_eth | 8 или 16 | Выходные Ethernet данные. |
| odati | W_ADC*NSPC | Выходное созвездие (I-канал). |

| | | |
|-----------|------------|--|
| odatq | W_ADC*NSPC | Выходное созвездие (Q-канал). |
| odatval | 1 | Валидность odat. |
| odecfail | 24 | Счетчик ошибок декодирования блока Рида-Соломона. |
| ongc1_det | 1 | Выход детектора внешней АРУ. |
| onumerr | 24 | Счетчик ошибок символов Рида-Соломона. |
| osync | 8 | Счетчик ошибок синхронизации захвата преамбулы 0x47. |
| osyncerr | 1 | Индикатор ошибочного захвата преамбулы. |
| oval | 1 | Строб валидности odati/odatq. |
| oval_et | 1 | Строб валидности odat_eth. |

Описание работы IP ядра

Главные особенности данного IP ядра:

- Параллельная обработка для широкополосных приложений. Параметр **NSPC** задает коэффициент параллельной обработки;
- Синхронный, высокоскоростной алгоритм формирования BPSK/QPSK сигналов;
- Символьная частота равна системной тактовой частоты * NSPC/4;
- Поддержка помехоустойчивого кодирования Рида-Соломона;
- Полностью цифровое восстановление опорных частот и демодуляция сигнала;
- Поддержка Ethernet интерфейса;
- Фиксированная задержка в модуляторе и демодуляторе.

Параметры IP ядра

Доступные для изменения параметры IP ядра Мульти-гигабитного Модема представлены в таблице 3:

| Таблица 3. Описание параметров IP ядра Мульти-гигабитного Модема | |
|--|---|
| Параметр | Описание |
| NSPC | Number of Samples Per Cycle. Коэффициент параллельной обработки. |
| W_ADC | ADC Width. Разрядность входных отчетов Демодулятора (idati/idadq), поступающих с АЦП. |
| W_DAC | DAC Width. Разрядность выходных отчетов Модулятора (odati/odatq), поступающих на ЦАП. |
| RS(N, K) | Reed-Solomon Codec. Длина информационного блока K и кодового блока N кодека Рида-Соломона. |

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра Мульти-гигабитного Модулятора.

| Таблица 4. Производительность Мульти-гигабитного Модулятора | | | | |
|---|---|--|----------------------------|----------------------------|
| Параметры IP ядра | Тип микросхемы ПЛИС | | | |
| | Ресурс | Speed grade, максимальная частота работы | | |
| NSPC = 12 W_DAC = 10 RS (204, 188) | Altera Cyclone V 5CEFA7 | | | |
| | 2042 ALMs (1%) 7 M10K RAM block (1%) 0 DSP (18x18) (0%) | -8, Fmax | -7, Fmax | -6, Fmax |
| | | 154.0 MHz 851.5 Mbit/s | 175.0 MHz 967.6 Mbit/s | 205.0 MHz 1133.5 Mbit/s |
| NSPC = 12 W_DAC = 10 RS (204, 188) | Xilinx Virtex-7 XC7VX330T | | | |
| | 437 Slices (1%) 28 18K RAM blocks (2%) 0 DSP (18x18) (0%) | -1, Fmax | -2, Fmax | -3, Fmax |
| | | 282.0 MHz 1559.3 Mbit/s | 360.0 MHz 1990.0 Mbit/s | 380.0 MHz 2101.0 Mbit/s |

В таблице 5 приведены результаты измерений IP ядра Мульти-гигабитного Демодулятора.

| Таблица 5. Производительность Мульти-гигабитного Демодулятора | | | | |
|---|--|--|----------------------------|----------------------------|
| Параметры IP ядра | Тип микросхемы ПЛИС | | | |
| | Ресурс | Speed grade, максимальная частота работы | | |
| NSPC = 12 W_ADC = 10 RS (204, 188) | Altera Cyclone V 5CEFA7 | | | |
| | 14442 ALMs (26%) 10 M10K RAM block (2%) 50 DSP (18x18) (32%) | -8, Fmax | -7, Fmax | -6, Fmax |
| | | 80.0 MHz 442.3 Mbit/s | 96.0 MHz 530.8 Mbit/s | 108.0 MHz 597.1 Mbit/s |
| NSPC = 12 W_ADC = 10 RS (204, 188) | Xilinx Virtex-7 XC7VX330T | | | |
| | 8210 Slices (16%) 7 18K RAM blocks (1%) 48 DSP (18x18) (5%) | -1, Fmax | -2, Fmax | -3, Fmax |
| | | 196.0 MHz 1083.7 Mbit/s | 240.0 MHz 1327.0 Mbit/s | 262.0 MHz 1448.7 Mbit/s |

В таблице 6 приведена зависимость производительности модема от параметра NSPC для ПЛИС Xilinx Virtex-7 speed grade -2.

Таблица 6. Производительность модема в зависимости от параметра NSPC

| NSPC | Slices | BRAM | DSP | Fmax | ADC/DAC Sample rate | QPSK Symbol rate | Data bitrate |
|------|--------|------|-----|------|---------------------|------------------|--------------|
| 4 | 3748 | 23 | 16 | 300 | 1200 или 600 MSPS | 300 Msym/s | 600 Mbit/s |
| 8 | 6202 | 31 | 32 | 260 | 2080 или 1040 MSPS | 520 Msym/s | 1040 Mbit/s |
| 12 | 8660 | 39 | 48 | 240 | 2880 или 1440 MSPS | 720 Msym/s | 1440 Mbit/s |
| 16 | 11485 | 47 | 64 | 230 | 3680 или 1840 MSPS | 920 Msym/s | 1840 Mbit/s |
| 20 | 14112 | 55 | 80 | 220 | 4400 или 2200 MSPS | 1100 Msym/s | 2200 Mbit/s |
| 24 | 17292 | 63 | 96 | 210 | 5040 или 2520 MSPS | 1260 Msym/s | 2520 Mbit/s |
| 32 | 22778 | 79 | 128 | 155 | 4960 или 2480 MSPS | 1240 Msym/s | 2480 Mbit/s |
| 40 | 27982 | 95 | 160 | 120 | 4800 или 2400 MSPS | 1200 Msym/s | 2400 Mbit/s |
| 64 | 49284 | 143 | 256 | 70 | 4480 или 2240 MSPS | 1120 Msym/s | 2240 Mbit/s |

Описание интерфейса IP ядра

На рисунке 5 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1").

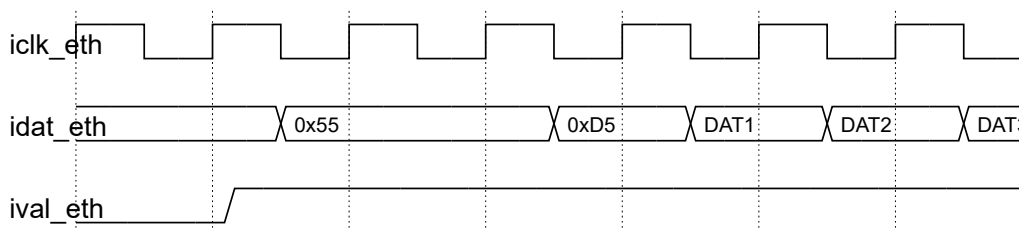


Рисунок 5. Временные диаграммы работы Мульти-гигабитного Модулятора

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/multi-gigabit-modem/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

| Версия | Дата | Изменения |
|--------|------------|---|
| 2.0 | 2016.05.03 | Добавлена поддержка Ethernet интерфейса |
| 1.0 | 2015.10.20 | Официальный релиз |