



IP ядро PSK Демодулятора
Спецификация

Информация о релизе

Название	PSK Demodulator IP Core
Версия	2.0
Дата сборки	2017.11
Код заказа	ip-psk-demodulator
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым PSK демодулятором.

Комплект поставки

IP ядро PSK Демодулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра PSK Демодулятора.

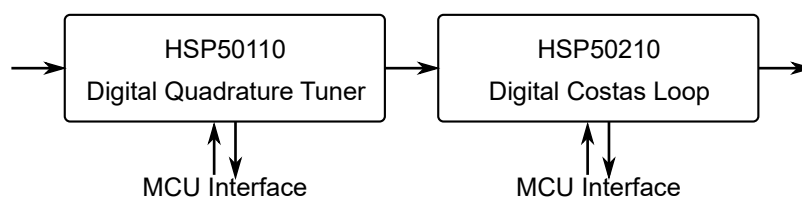


Рисунок 1. Структурная схема PSK Демодулятора

PSK Демодулятор состоит из **HSP50110** (Digital Quadrature Tuner) и **HSP50210** (Digital Costas Loop). IP ядро полностью совместимо с чипами HSP50110 и HSP50210 и является их полноценной заменой на основе FPGA.

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра PSK Демодулятора.

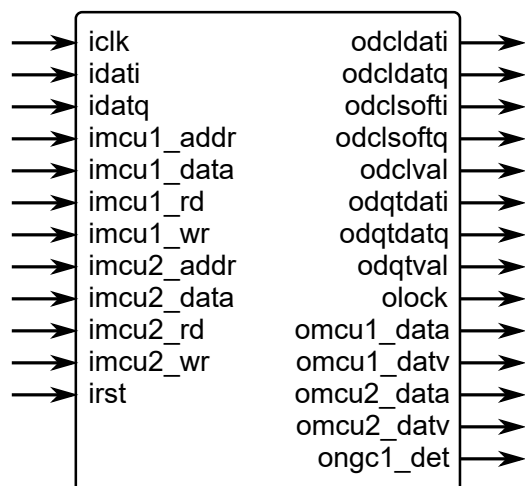


Рисунок 2. Карта портов PSK Демодулятора

Таблица 1. Описание портов PSK Демодулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idati idatq	10	Отчеты АЦП для демодуляции.
imcu1_addr	3	HSP50110 MCU адрес
imcu1_data	8	HSP50110 MCU данные
imcu1_rd	1	HSP50110 MCU строб чтения
imcu1_wr	1	HSP50110 MCU строб записи
imcu2_addr	3	HSP50210 MCU адрес
imcu2_data	8	HSP50210 MCU данные
imcu2_rd	1	HSP50210 MCU строб чтения
imcu2_wr	1	HSP50210 MCU строб записи
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
odcldati, odcldatq	8	Выходное созвездие HSP50210
odclsofti, odclsofti	3	Мягкое решение HSP50210

odclval	1	Валидность выходных данных HSP50210
odqtdati, odqtdatq	10	Выходные данные HSP50110
odqtval	1	Валидность выходных данных HSP50110
olock	1	Сигнал детектора захвата
imcu1_data	8	HSP50110 MCU данные
imcu1_datv	1	HSP50110 MCU строб переключения чтение/запись
imcu2_data	8	HSP50210 MCU данные
imcu2_datv	1	HSP50210 MCU строб переключения чтение/запись
ongc1_det	1	сигнал детектора входного АРУ

Параметры IP ядра

Доступные для изменения параметры IP ядра PSK Демодулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра PSK Демодулятора	
Параметр	Описание
Нет доступных параметров для изменения	

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра PSK Демодулятора.

Таблица 3. Производительность PSK Демодулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
	Altera Cyclone V 5CEFA7			
	4193 ALMs (8%) 2 M10K RAM blocks (1%) 8 DSP (18x18) (6%)	-8, Fmax	-7, Fmax	-6, Fmax
		78.0 MHz 39.0 Msymb/s	90.0 MHz 45.0 Msymb/s	102.0 MHz 51.0 Msymb/s
	Xilinx Virtex-7 XC7VX330T			
	2588 Slices (6%) 2 18K RAM blocks (1%) 12 DSP (18x18) (1%)	-1, Fmax	-2, Fmax	-3, Fmax
		124.0 MHz 62.0 Msymb/s	170.0 MHz 85.0 Msymb/s	190.0 MHz 95.0 Msymb/s

Описание интерфейса IP ядра

Описание интерфейсов можно найти в оригинальном описании HSP50110 и HSP50210 от компании Intersil (Harris).

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/psk-demodulator/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.0	2017.11.14	Добавлен CPU интерфейс
1.0	2014.10.14	Официальный релиз