



IP ядро QAM Демодулятора
Спецификация

Информация о релизе

Название	QAM Demodulator IP Core
Версия	3.0
Дата сборки	2014.09
Код заказа	ip-qam-demodulator
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым QAM демодулятором и полностью совместимо со стандартами:

- Цифрового телевизионного вещания (DVB-S, DVB-C, DVB-S2);
- ITU-T для радиорелейных систем связи.

Комплект поставки

IP ядро QAM Демодулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра QAM Демодулятора.

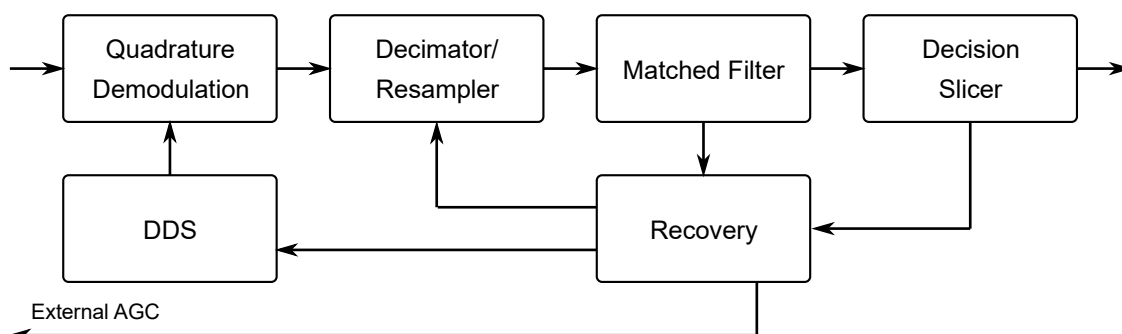


Рисунок 1. Структурная схема QAM Демодулятора

QAM Демодулятор состоит из квадратурного демодулятора (Quadrature Demodulation), цифрового синтезатора частот (Direct Digital Synthesis), дециматора/дробного ресемплера (decimator/resampler), приемного согласованного фильтра (Matched Filter), блока принятия решения (Decision Slicer), блока восстановления несущей частоты, тактовой частоты и автоматической регулировки усиления (Recovery).

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра QAM Демодулятора.

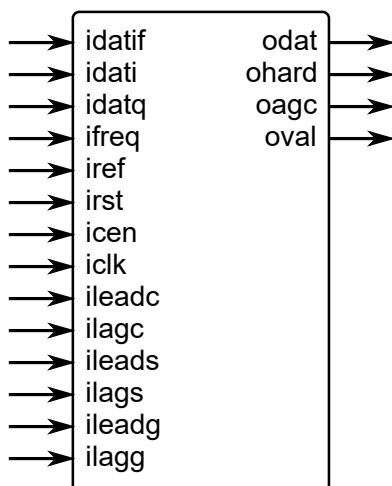


Рисунок 2. Карта портов QAM Демодулятора

Таблица 1. Описание портов QAM Демодулятора		
Порт	Разрядность	Описание
idatif	W_IN	входные данные на промежуточной частоте
idati	W_IN	входные данные I канала на видеочастоте
idatq	W_IN	входные данные Q канала на видеочастоте
ifreq	32	опорное значение петли восстановления несущей частоты (carrier recovery)
iref	16	опорное значение петли автоматической регулировки мощности (agc recovery)
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
icen	1	разрешающий сигнал для iclk
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
ileadc, ilagc	5	выбор полосы петлевого фильтра для
ileads, ilags	5	выбор полосы петлевого фильтра для

ileadg, ilagg	5	выбор полосы петлевого фильтра для
odat	W_OUT	выходные данные демодулированного QAM сигнала (мягкое решение)
ohard	8	выходные данные демодулированного QAM сигнала (принятое решение)
oagc	1	выходной ШИМ сигнал для автоматической регулировки мощности
oval	1	строб валидности выходных данных

Описание работы IP ядра

Для корректного восстановления информации из QAM-модулированного сигнала на приемной стороне необходимо знать с точностью до фазы несущую и символьную частоту. Для подстройки несущей частоты большинство современных QAM демодуляторов используют различные модификации классической схемы Костаса, а для подстройки тактовой частоты - схему Гарднера. Основным критерием качества алгоритмов подстройки является пороговое отношение сигнал/шум, при котором восстановление происходит с требуемым качеством.

Главные особенности данного IP ядра:

- Полностью цифровая когерентная демодуляция QAM сигнала;
- Диапазон входной промежуточной частоты до 40% от системной тактовой частоты;
- Цифровое восстановление символьной частоты (без внешнего VCO);
- Символьная частота до 1/4 от системной тактовой частоты;
- Поддержка изменения схемы демодуляции "на лету";
- Параметризованный приемный согласованный фильтр и дециматора;
- Фиксированная задержка в демодуляторе.

Параметры IP ядра

Доступные для изменения параметры IP ядра QAM Демодулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра QAM Демодулятора	
Параметр	Описание
W_IN	разрядность входных данных (разрядность АЦП)
W_OUT	разрядность выходных данных (мягкое решение)
MOD	максимальный вид модуляции, например "1024QAM"
ROLL-OFF	коэффициент скругления формирующего фильтра (RRC)
DEMIXER_MOD	режим работы входного смесителя, например "ПЧ" или "ВИДЕО"
L	коэффициент децимации входных данных

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра QAM Демодулятора.

Таблица 3. Производительность QAM Демодулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
1024QAM W_IN=12 DEMIXER_MOD="VIDEO" L=4 ROLL-OFF=25%	Altera Cyclone II EP2C35			
	16,406 LEs 90,112 bits 20 DSP blocks (9x9)	-8, Fmax	-7, Fmax	-6, Fmax
		168.0 MHz 42.0 Msymb/s	186.0 MHz 46.5 Msymb/s	216.0 MHz 54.0 Msymb/s
1024QAM W_IN=12 DEMIXER_MOD="VIDEO" L=4 ROLL-OFF=25%	Xilinx Spartan-3A DSP XC3SD1800			
	9,143 slices 90,112 bits (16 BRAMs) 9 DSP blocks (18x18)	-4, Fmax	-5, Fmax	
		110.0 MHz 27.5 Msymb/s	144.0 MHz 36.0 Msymb/s	

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/qam-demodulator/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
3.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
2.1	2010.05.04	Текущие улучшения
2.0	2009.08.18	Добавлена поддержка 16-APSK/32-APSK/64-APSK
1.2	2008.10.10	Добавлена поддержка 256-QAM/1024-QAM модуляции
1.1	2008.06.04	Добавлена поддержка 64-QAM модуляции
1.0	2007.03.06	Официальный релиз