



IP ядро QAM Модулятора
Спецификация

Информация о релизе

Название	QAM Modulator IP Core
Версия	4.0
Дата сборки	2014.09
Код заказа	ip-qam-modulator
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым QAM модулятором и полностью совместимо со стандартами:

- Цифрового телевизионного вещания (DVB-S, DVB-C, DVB-S2, DVB-S2X);
- Спутникового радиовещания;
- ITU-T для радиорелейных систем связи.

Комплект поставки

IP ядро QAM Модулятора включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра QAM Модулятора.

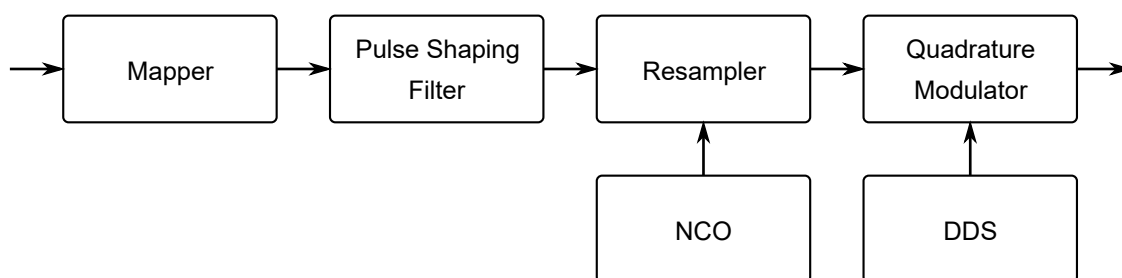


Рисунок 1. Структурная схема QAM Модулятора

QAM Модулятор состоит из маппера созвездия (**Mapper**), формирующего фильтра (**Pulse Shaping Filter**), дробного интерполятора/ресемплера (**Resampler**), квадратурного модулятора (**Quadrature Modulator**), цифрового тактового генератора (**NCO**) и цифрового синтезатора частот (**Direct Digital Synthesis**).

На рисунке 2 представлен графический символ, а в таблице 1

Карта портов

дано описание портов IP ядра QAM Модулятора.

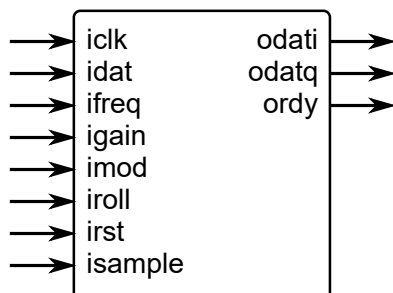


Рисунок 2. Карта портов QAM Модулятора

Таблица 1. Описание портов QAM Модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat		Входные (информационные) данные.
ifreq	32	Значение выходной промежуточной частоты.
igain	W_DAC	Регулировка выходной мощности.
imod		Выбор схемы модуляции: Значения уточняются при заказе IP ядра.
iroll		Установка коэффициента скругления.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isample	32	Управление шириной спектра (символьной скоростью): от 0.01% до 25% от iclk
odati	W_DAC	Выход модулятора в основной полосе частот (I канал) или на промежуточной частоте.
odatq	W_DAC	Выход модулятора в основной полосе частот (Q канал).
ordy	1	Готовность принимать входные данные.

Параметры IP ядра

Доступные для изменения параметры IP ядра QAM Модулятора представлены в таблице 2:

Таблица 2. Описание параметров IP ядра QAM Модулятора	
Параметр	Описание
W_DAC	Разрядность выходных данных (odati/odatq). Повышение разрядности odati/odatq увеличивает качество формирования и выходной динамический диапазон, но одновременно увеличивает требуемый ресурс ПЛИС.
CONFIG	Набор таблиц маппера и созвездий QAM/APSK. IP ядро поддерживает переключение между BPSK, QPSK, 8-PSK, 16-APSK, 32-APSK, 64-APSK, 128-APSK, 256-APSK, 16-QAM, 32-QAM, 64-QAM, 128-QAM, 256-QAM, 512-QAM, 1024-QAM схемами модуляции. Например, CONFIG="DVB-S2X" содержит в себе все созвездия из DVB-S2 и DVB-S2X стандарта.
ROLL-OFF	Набор коэффициентов скругления формирующего фильтра (RRC). Например, ROLL-OFF = 0.35, 0.25, 0.20, 0.15, 0.10 и 0.05.

Описание работы IP ядра

Квадратурная амплитудная модуляция (QAM модуляция), на сегодняшний день, является самым эффективным в использовании спектра методом передачи информации. QAM модулированный сигнал представляет собой сумму двух ортогональных поднесущих, каждая из которых промодулирована по амплитуде. Суммарное колебание получается одновременно модулированное как по амплитуде, так и по фазе. Количество уровней амплитудной модуляции в каждой поднесущей фиксировано и определяет вид созвездия модулированного сигнала. При увеличении количества уровней модуляции, увеличивается количество информации, переносимое каждым символом QAM сигнала.

Главные особенности данного IP ядра:

- Синхронный, высокоскоростной алгоритм формирования BPSK/QPSK/QAM/APSK сигналов;
- Диапазон выходной промежуточной частоты до 40% от системной тактовой частоты;
- Символьная частота до 1/4 от системной тактовой частоты;
- Поддержка изменения схемы модуляции "на лету";
- Параметризованный формирующий фильтр и дробный интерполятор;
- Фиксированная задержка в модуляторе.

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра QAM Модулятора.

Таблица 3. Производительность QAM Модулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_DAC=16 CONFIG="DVB-S2X" ROLL-OFF=0.35, 0.25, 0.20, 0.15, 0.10, 0.05	Altera Cyclone IV EP4CE75			
	15713 LEs 11 M9K RAM blocks 12 DSP (18x18)	-8, Fmax	-7, Fmax	-6, Fmax
		104.0 MHz 26.0 Msymb/s	119.0 MHz 29.75 Msymb/s	135.0 MHz 33.75 Msymb/s
W_DAC=16 CONFIG="DVB-S2X" ROLL-OFF=0.35, 0.25, 0.20, 0.15, 0.10, 0.05	Xilinx Virtex-6 XC6VLX240T			
	5125 Slices 10 18K RAM blocks 12 DSP (18x18)	-1, Fmax	-2, Fmax	-3, Fmax
		144.0 MHz 36.0 Msymb/s	166.0 MHz 41.5 Msymb/s	184.0 MHz 46.0 Msymb/s

Описание интерфейса IP ядра

IP ядро имеет два варианта формирования выходного спектра:

- В основной полосе частот (используется **odati** и **odatq**), **ifreq** равно 0;
- На промежуточной частоте (используется **odati**), **ifreq** не равно 0.

Цифро-аналоговые преобразователи должны работать синхронно с IP ядром QAM Модулятора. На рисунке 3 приведена схема подключения ЦАП для режима работы в основной полосе частот, а на рисунке 4 пример временной диаграммы для этого режима.

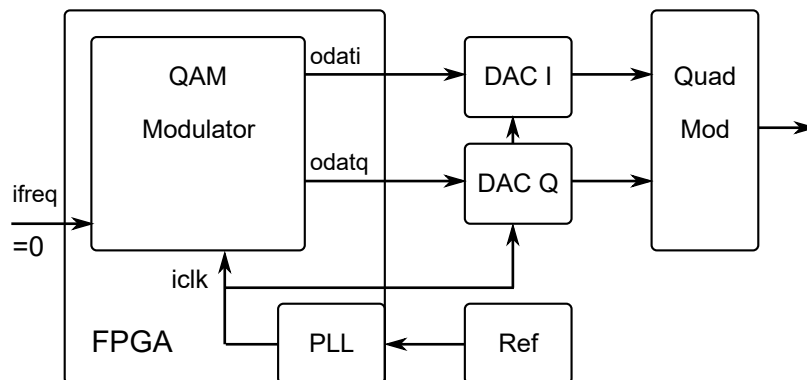


Рисунок 3. Схема подключения ЦАП в режиме основной полосы частот.

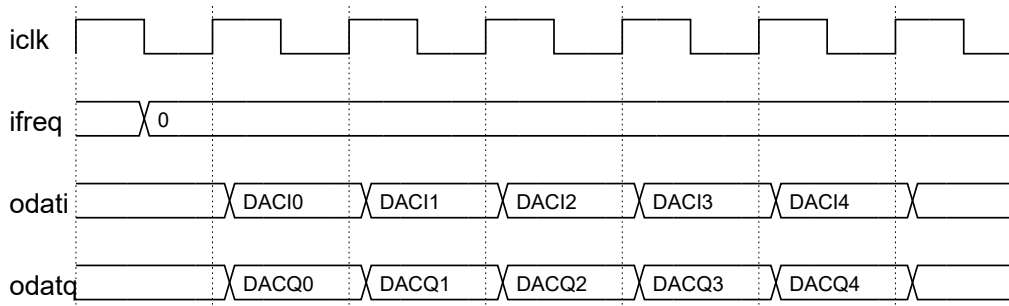


Рисунок 4. Временные диаграммы выходного интерфейса IP ядра в режиме основной полосы частот.

На рисунке 5 приведена схема подключения ЦАП для режима работы на промежуточной частоте, а на рисунке 6 пример временной диаграммы для этого режима. В этом режиме работы порт установки значения выходной промежуточной частоты *ifreq* задает значение ПЧ на выходе модулятора *odati*.

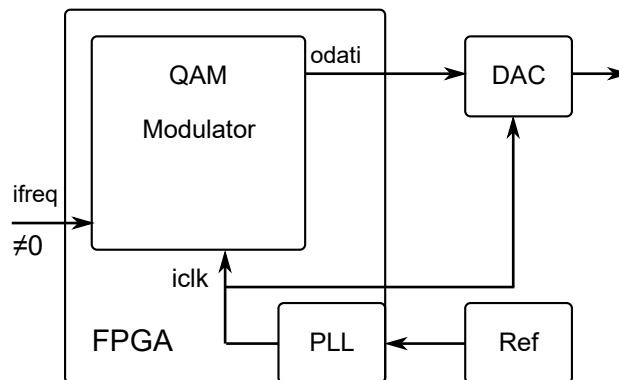


Рисунок 5. Схема подключения ЦАП в режиме промежуточной частоты.

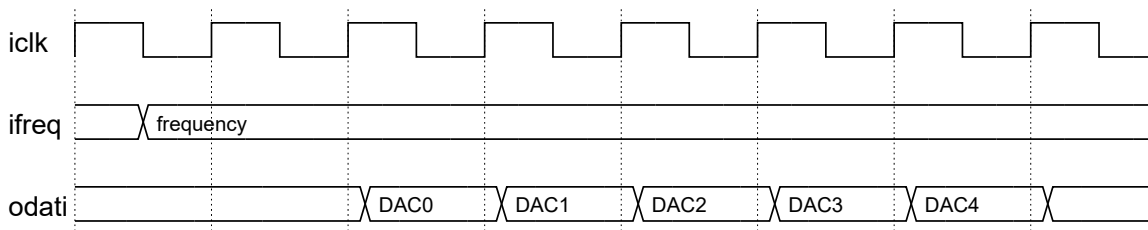


Рисунок 6. Временные диаграммы выходного интерфейса IP ядра в режиме промежуточной частоты.

На рисунке 7 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом *ordy*. Входные данные считываются с входа *idat* только тогда, когда *ordy* равен единице ("1").

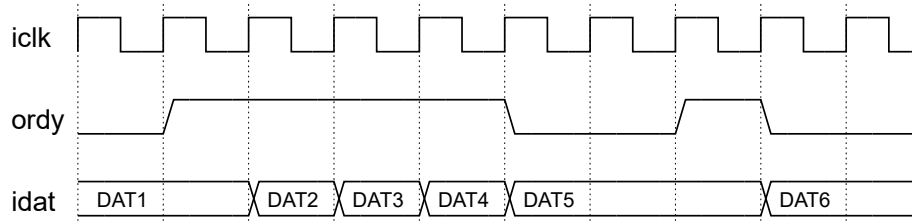


Рисунок 7. Временные диаграммы входного интерфейса IP ядра.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/qam-modulator/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
4.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
3.0	2014.03.25	Добавлена поддержка 128-APSK и 256-APSK
2.1	2010.10.12	Текущие улучшения
2.0	2009.08.18	Добавлена поддержка 16-APSK/32-APSK/64-APSK
1.2	2008.10.10	Добавлена поддержка 256-QAM/1024-QAM модуляции
1.1	2008.06.04	Добавлена поддержка 64-QAM модуляции
1.0	2007.03.06	Официальный релиз