



IP ядро кодера/декодера
Рида-Соломона
Спецификация

Информация о релизе

Название	Reed-Solomon Codec IP core
Версия	3.0
Дата сборки	2016.04
Код заказа	ip-rs-codec
Ревизия Спецификации	r1884

Назначение IP ядра

Данное IP ядро реализует алгоритм помехоустойчивого кодирования Рида-Соломона и полностью совместимо со стандартами:

- Цифрового телевизионного вещания (DVB-S, DVB-C, DVB-T);
- IEEE 802.11ad (WiGig, мульти-гигабитная беспроводная технология);
- IEEE 802.16 (WiMAX модемы);
- ITU G.992.1 (ADSL модемы);
- ITU-T G.975 (2.5G, 10G и 40G оптические сети);
- CD-ROM, DVD, Compact Flash (устройства хранения данных).

Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

Комплект поставки

IP ядро кодера/декодера Рида-Соломона включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра кодера Рида-Соломона.

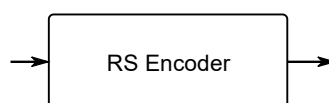


Рисунок 1. Структурная схема кодера Рида-Соломона

На рисунке 2 показана структурная схема IP ядра декодера Рида-Соломона.

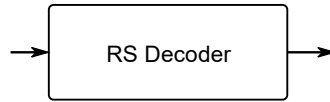


Рисунок 2. Структурная схема декодера Рида-Соломона

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра кодера Рида-Соломона.

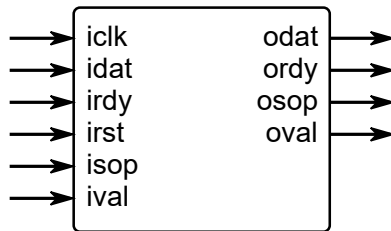


Рисунок 3. Карта портов кодера Рида-Соломона

Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	8	Входные информационные данные.
irdy	1	Запрос выходных данных.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isop	1	Строб начала блока входных данных.
ival	1	Валидность входных данных.
odat	8	Выходные кодированные данные.
ordy	1	Готовность принимать входные данные.
osop	1	Строб начала выходного кодированного блока.
oval	1	Валидность выходных кодированных данных.

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра декодера Рида-Соломона.

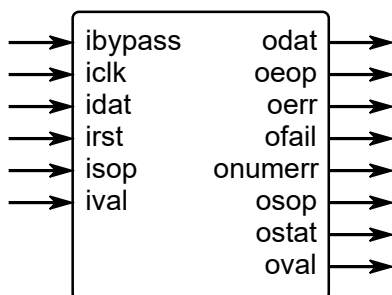


Рисунок 4. Карта портов декодера Рида-Соломона

Таблица 2. Описание портов декодера Рида-Соломона		
Порт	Разрядность	Описание
<code>ibypass</code>	1	Выключение режима внесения исправлений в блок данных.
<code>iclk</code>	1	Системная тактовая частота. IP ядро работает по переднему фронту <code>iclk</code> .
<code>idat</code>	8	Входные кодированные данные.
<code>irst</code>	1	IP ядро сбрасывается синхронно, когда <code>irst</code> устанавливается в логическую единицу.
<code>isop</code>	1	Строб начала блока входных данных.
<code>ival</code>	1	Валидность входных данных.
<code>odat</code>	8	Выходные декодированные данные.
<code>oeop</code>	1	Строб окончания выходного декодированного блока.
<code>oerr</code>	1	Корректирующая маска для выходного декодированного символа.
<code>ofail</code>	1	Ошибка декодирования текущего блока. Количество ошибок превышает исправляющую способность кода.
<code>onumerr</code>	W_ERR	Количество исправленных ошибок в текущем блоке.

osop	1	Строб начала выходного декодированного блока.
ostat	2	Статус выдачи декодированного блока: 0 - данных нет 1 - информационные символы 2 - проверочные символы
oval	1	Валидность выходных декодированных данных.

Описание работы IP ядра

Для борьбы с искажениями информации в цифровых системах связи используют специальные помехоустойчивые коды. Кодер на передающей стороне добавляет в информационный поток специальные проверочные символы. На приемной стороне декодер использует избыточную информацию для борьбы с ошибочно принятыми символами. Исправляющая способность помехоустойчивого кода зависит как от количества избыточной информации, так и от самого алгоритма. Код Рида-Соломона относится к блоковым кодам. После K символов информационного блока кодер добавляет $N-K$ проверочных символов, образуя N символов кодового блока, который и передается по каналу связи. $N-K$ проверочных символов позволяют декодеру исправить до $(N-K)/2$ ошибочно принятых символов. Если количество ошибок в принятом блоке превышает исправляющую способность кода $((N-K)/2)$, то декодер помечает весь блок как "неисправленный".

Главные особенности данного IP ядра:

- Синхронный, высокоскоростной алгоритм декодирования;
- Параметризованная длина кодового блока (N) и длина информационного блока (K);
- Фиксированная задержка декодирования.

Параметры IP ядра

Доступные для изменения параметры IP ядра кодера/декодера Рида-Соломона представлены в таблице 3:

Таблица 3. Описание параметров IP ядра кодера/декодера Рида-Соломона	
Параметр	Описание
M = 8	Разрядность символа RS кода всегда равна 8.
K	Длина информационного блока.
N	Длина кодового блока.
W_ERR	Разрядность порта onumerr, зависит от N-K.

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра кодера Рида-Соломона.

Таблица 4. Производительность кодера Рида-Соломона				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
K = 188 N = 204 W_ERR = 5	Altera Cyclone II EP2C35			
	655 LEs 8,192 bits	-8, Fmax	-7, Fmax	-6, Fmax
		190.0 MHz 163.0 MHz (память ПЛИС)	247.0 MHz 195.0 MHz (память ПЛИС)	280.0 MHz 235.0 MHz (память ПЛИС)
K = 188 N = 204 W_ERR = 5	Xilinx Spartan-3A DSP XC3SD1800			
	329 slices 8,192 bits	-4, Fmax	-5, Fmax	
		184.0 MHz	210.0 MHz	

В таблице 5 приведены результаты измерений IP ядра декодера Рида-Соломона.

Таблица 5. Производительность декодера Рида-Соломона				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
K = 188 N = 204 W_ERR = 5	Altera Cyclone II EP2C35			
	3,612 LEs 32,768 bits	-8, Fmax	-7, Fmax	-6, Fmax
		110.0 MHz	134.0 MHz	150.0 MHz
K = 188 N = 204 W_ERR = 5	Xilinx Spartan-3A DSP XC3SD1800			
	1,851 slices 32,768 bits	-4, Fmax	-5, Fmax	
		129.0 MHz	149.0 MHz	

Описание интерфейса IP ядра

Для управления процессом кодирования данных используется строб "начало информационного блока" **isop**, которым помечают первый информационный символ на входе кодера. Результирующий кодированный блок на выходе кодера также помечается стробами "начало кодированного блока" **osop** и "окончание кодированного блока" **oeop**. Дополнительно кодер помечает статус выдаваемых данных при помощи **ostat**:

- 0 - данных на выходе нет;
- 1 - на выходе информационные символы кодированного блока;
- 2 - на выходе проверочные символы кодированного блока.

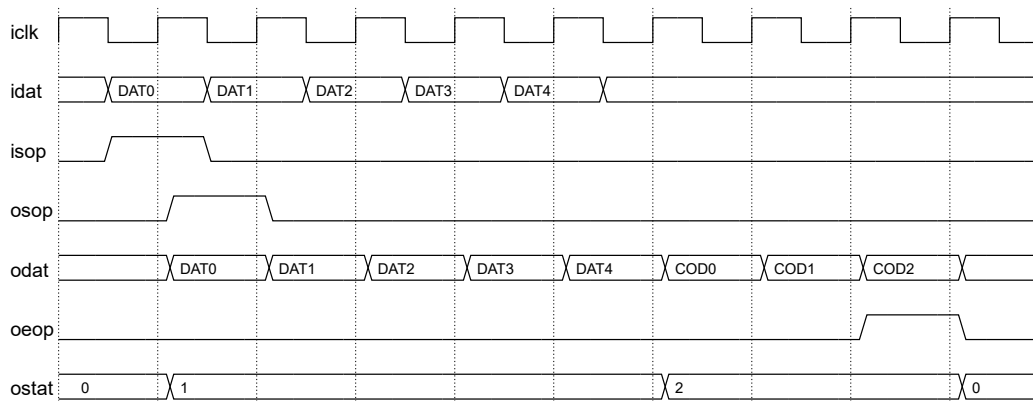


Рисунок 5. Временные диаграммы работы кодера Рида-Соломона

Показатели качества

Исправляющая способность IP ядра декодера Рида-Соломона показана на рисунке 6.

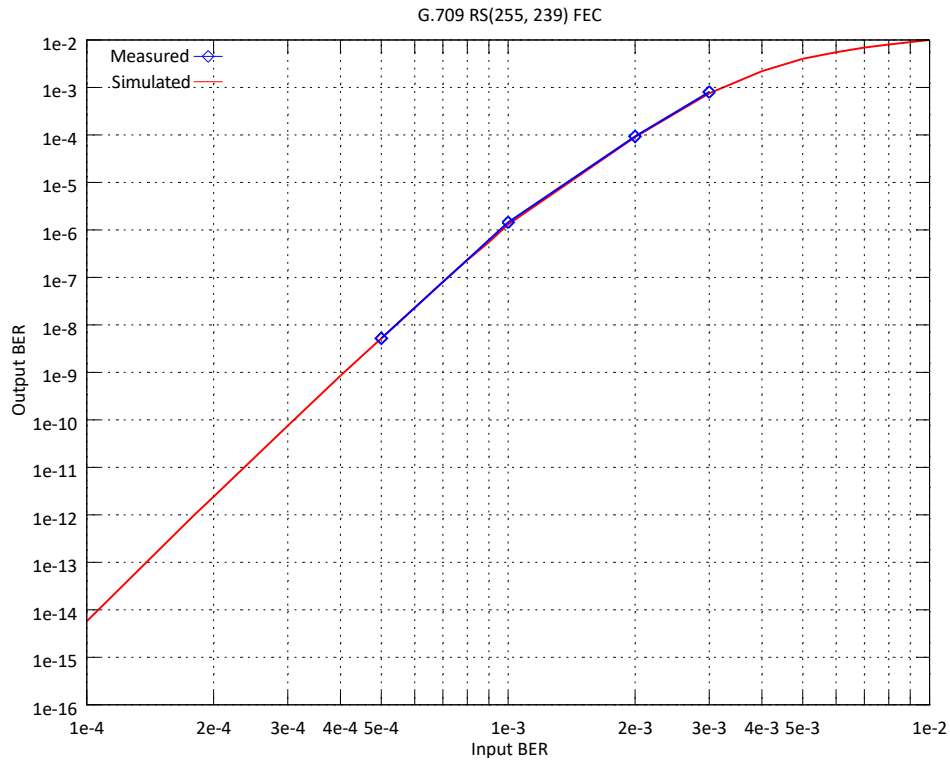


Рисунок 6. Исправляющая способность IP ядра декодера Рида-Соломона RS(255, 239)

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/rs-codec/>

Обратная связь

Иприум

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
3.0	2016.04.05	Повышена производительность RS Кодека.
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.2	2010.12.02	Добавлена поддержка WiMAX и WiGig стандартов
1.1	2009.09.05	Текущие улучшения
1.0	2007.01.29	Официальный релиз