



IP ядро RS-QPSK Модема
Спецификация

Информация о релизе

Название	RS-QPSK Modem IP Core
Версия	2.1
Дата сборки	2018.02
Код заказа	ip-rs-qpsk-modem
Ревизия Спецификации	r1884

Назначение IP ядра

Данное IP ядро является полнофункциональным цифровым BPSK/QPSK модемом с помехоустойчивым кодированием Рида-Соломона и предназначено для работы в составе спутникового или радиорелейного оборудования в непрерывном режиме.

Условия лицензии

Лицензия:

- Нетлист на одно семейство ПЛИС или полный исходный код (Verilog, SDC/XDC);
- Неограниченная по времени использования;
- Неограниченная по количеству прошитых ПЛИС;
- Без территориальных ограничений;
- Свободная от роялти платежей;
- Бесплатная техническая поддержка на 1 год.

Комплект поставки

IP ядро RS-QPSK Модема включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра RS-QPSK Модулятора.

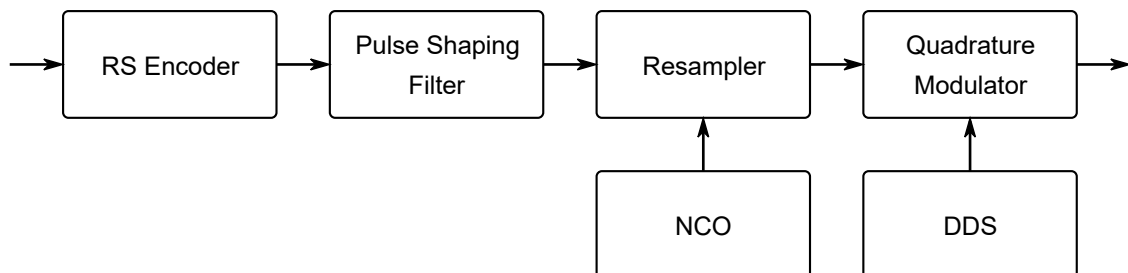


Рисунок 1. Структурная схема RS-QPSK Модулятора

RS-QPSK Модулятор состоит из кодера Рида-Соломона и

BPSK/QPSK модулятора.

На рисунке 2 показана структурная схема IP ядра RS-QPSK Демодулятора.

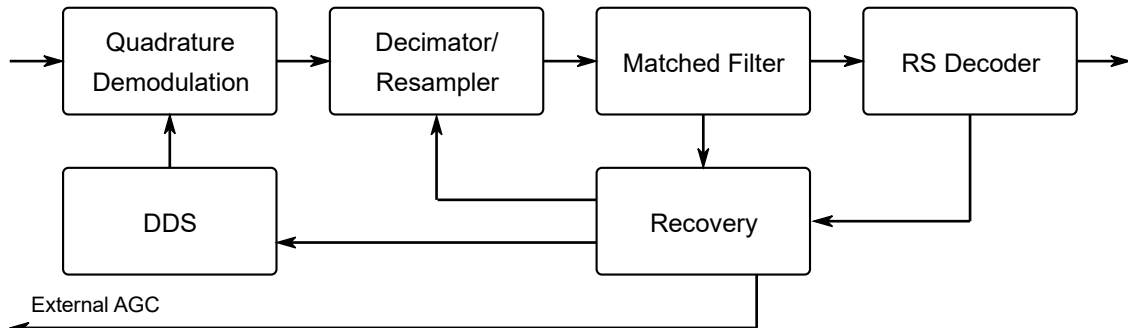


Рисунок 2. Структурная схема RS-QPSK Демодулятора

RS-QPSK Демодулятор состоит из BPSK/QPSK демодулятора и декодера Рида-Соломона.

Карта портов

На рисунке 3 представлен графический символ, а в таблице 1 дано описание портов IP ядра RS-QPSK Модулятора.

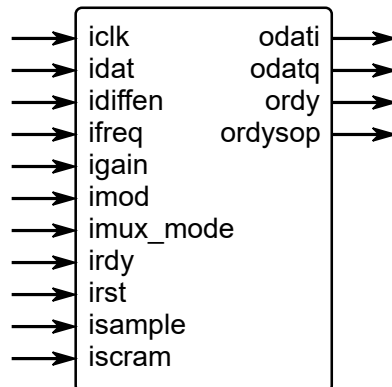


Рисунок 3. Карта портов RS-QPSK Модулятора

Таблица 1. Описание портов RS-QPSK Модулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idat	8	Входные (информационные) данные.
idiffen	1	Подключение дифференциального кодирования.
ifreq	32	Значение выходной промежуточной частоты.

igain	16	Регулировка выходной мощности.
imod	1	Выбор схемы модуляции: 0 - BPSK; 1 - QPSK.
imux_mode	2	Выбор мультиплексирования данных: 0 - RS Coder + SYNCBYTE; 1 - SYNCBYTE only; 2 - Direct access.
irdy	1	Запрос выходных данных модулятора.
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
isample	32	Управление шириной спектра (символьной скоростью): от 0.01% до 25% of iclk.
iscram	1	Подключение внутреннего скремблера данных.
odati odatq	W_DAC	Комплексный IQ выход модулятора в основной полосе частот или на промежуточной частоте.
ordy	1	Готовность принимать входные данные.
ordysop	1	Готовность принимать isop и начинать новый блок RS кода.

На рисунке 4 представлен графический символ, а в таблице 2 дано описание портов IP ядра RS-QPSK Демодулятора.

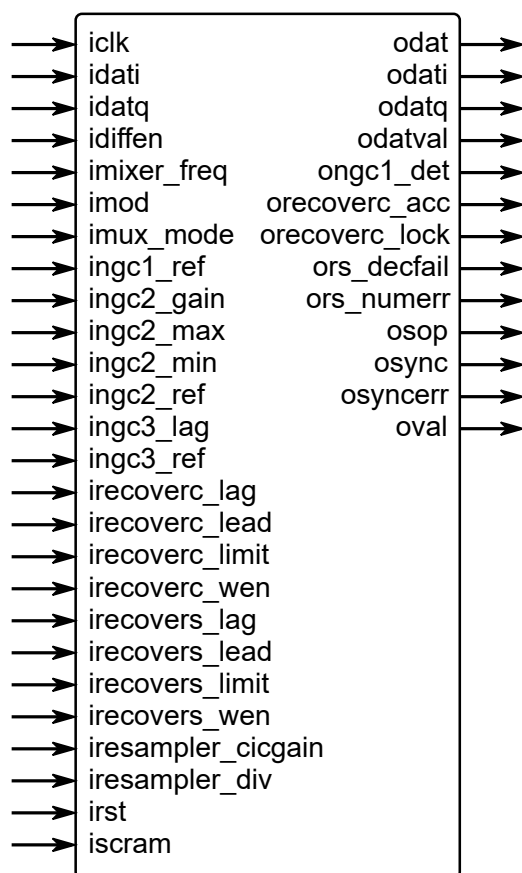


Рисунок 4. Карта портов RS-QPSK Демодулятора

Таблица 2. Описание портов RS-QPSK Демодулятора		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота
idati	W_ADC	Входные данные (I-канал)
idatq	W_ADC	Входные данные (Q-канал)
idiffen	1	Подключение дифференциального кодирования
imixer_freq	32	Значение выходной промежуточной частоты
imod	1	Выбор схемы модуляции (0- BPSK / 1-QPSK)
imux_mode	2	Выбор мультиплексирования данных: 0 - RS Coder + SYNCBYTE; 1 - SYNCBYTE only; 2 - Direct access.

ingc1_ref	10	Установка опорного уровня внешней АРУ
ingc2_gain	8	Регулировка скорости подстройки внутренней АРУ
ingc2_max	16	Максимальный уровень подстройки внутренней АРУ
ingc2_min	16	Минимальный уровень подстройки внутренней АРУ
ingc2_ref	10	Установка опорного уровня внутренней АРУ
ingc3_lag	3	Регулировка скорости подстройки АРУ созвездия
ingc3_ref	8	Установка опорного уровня АРУ созвездия
irecoverc_lag	5	Выбор полосы петлевого фильтра для подстройки несущей частоты
irecoverc_lead	5	Выбор полосы петлевого фильтра для подстройки несущей частоты
irecoverc_limit	5	Установка диапазона изменений для подстройки несущей частоты
irecoverc_wen	1	Разрешение работы петлевого фильтра для подстройки несущей частоты
irecoverc_lag	5	Выбор полосы петлевого фильтра для подстройки символьной частоты
irecoverc_lead	5	Выбор полосы петлевого фильтра для подстройки символьной частоты
irecoverc_limit	5	Установка диапазона изменений для подстройки символьной частоты
irecoverc_wen	1	Разрешение работы петлевого фильтра для подстройки символьной частоты
iresampler_cicgain	6	Коэффициент усиления CIC-фильтра

iresampler_div	12	Степень децимации CIC-фильтра
irst	1	Синхронный сброс (1 - сброс / 0 - работа)
iscram	1	Подключение внутреннего дескремблера данных
odat	8	Выходные (информационные) данные
odati	8	Выходное созвездие (I-канал)
odatq	8	Выходное созвездие (Q-канал)
odatval	1	Валидность odat
ongc1_det	1	Выход детектора внешней АРУ
orecoverc_acc	32	Величина ошибки по несущей частоте
orecoverc_lock	2	Индикатор захвата по несущей частоте
ors_decfail	1	Ошибка декодирования блока Рида-Соломона
ors_numerr	4	Количество обнаруженных ошибочных символов в блоке Рида-Соломона
osop	1	Метка начала блока Рида-Соломона
osync	1	Индикатор захвата преамбулы 0x47
osyncerr	1	Индикатор ошибочного захвата преамбулы
oval	1	Строб валидности odati/odatq

Описание работы IP ядра

Главные особенности данного IP ядра:

- Синхронный, высокоскоростной алгоритм формирования BPSK/QPSK сигналов;
- Диапазон выходной промежуточной частоты до 40% от системной тактовой частоты;
- Символьная частота до 1/4 от системной тактовой частоты;
- Поддержка помехоустойчивого кодирования Рида-Соломона;
- Полностью цифровое восстановление опорных частот и демодуляция сигнала;
- Фиксированная задержка в модуляторе и демодуляторе.

Параметры IP ядра

Доступные для изменения параметры IP ядра RS-QPSK Модема представлены в таблице 3:

Таблица 3. Описание параметров IP ядра RS-QPSK Модема	
Параметр	Описание
W_ADC	ADC Width. Разрядность входных отчетов Демодулятора (<i>idati/idatq</i>), поступающих с АЦП.
W_DAC	DAC Width. Разрядность выходных отчетов Модулятора (<i>odati/odatq</i>), поступающих на ЦАП.
RS(N, K)	Reed-Solomon Codec. Длина информационного блока <i>K</i> и кодового блока <i>N</i> кодека Рида-Соломона.

Установка значений портов

Некоторые входные порты, которые управляют работой IP ядра, должны быть установлены в соответствии с пользовательской конфигурацией.

Несущая частота:

$$ifreq = \frac{\text{Output Frequency (Hz)}}{\text{iclk rate (Hz)}} \cdot 2^{32}$$

Символьная частота:

$$isample = \frac{\text{Output Symbol rate (Hz)}}{\text{iclk rate (Hz)}} \cdot 2^{34}$$

Выходное усиление:

$$igain = 8192 \cdot \left(10^{\frac{\text{Output gain (db)}}{20}} - 1 \right)$$

Диапазон захвата несущей частоты:

$$\text{Limit Factor} = 2^{30 - irecover_limit}$$

$$\text{Single Side Range (Hz)} = \frac{\text{Symbol Rate (Hz)}}{\text{Limit Factor}}$$

$$\text{Carrier Frequency Range Limit (Hz)} = \pm \text{Single Side Range (Hz)}$$

Диапазон захвата символьной частоты:

$$Limit\ Factor = 2^{31 - irecovers_limit}$$

$$Single\ Side\ Range\ (Hz) = \frac{Symbol\ Rate\ (Hz)}{Limit\ Factor}$$

$$Symbol\ Rate\ Range\ Limit\ (Hz) = \pm Single\ Side\ Range\ (Hz)$$

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра RS-QPSK Модулятора.

Таблица 4. Производительность RS-QPSK Модулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_DAC = 10 RS (204, 188)	Altera Cyclone V 5CEFA7			
	1042 ALMs (1%) 1 M10K RAM block (1%) 12 DSP (18x18) (8%)	-8, Fmax	-7, Fmax	-6, Fmax
		154.0 MHz 70.0 Mbps	175.0 MHz 80.0 Mbps	205.0 MHz 93.0 Mbps
W_DAC = 10 RS (204, 188)	Xilinx Virtex-7 XC7VX330T			
	416 Slices (1%) 1 18K RAM blocks (1%) 12 DSP (18x18) (2%)	-1, Fmax	-2, Fmax	-3, Fmax
		282.0 MHz 129.0 Mbps	360.0 MHz 165.0 Mbps	380.0 MHz 174.0 Mbps

В таблице 5 приведены результаты измерений IP ядра RS-QPSK Демодулятора.

Таблица 5. Производительность RS-QPSK Демодулятора				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_ADC = 10 RS (204, 188)	Altera Cyclone V 5CEFA7			
	3655 ALMs (7%) 5 M10K RAM block (1%) 14 DSP (18x18) (9%)	-8, Fmax	-7, Fmax	-6, Fmax
		119.0 MHz 54.0 Mbps	135.0 MHz 61.0 Mbps	152.0 MHz 69.0 Mbps
W_ADC = 10 RS (204, 188)	Xilinx Virtex-7 XC7VX330T			
	2075 Slices (5%) 5 18K RAM blocks (1%) 14 DSP (18x18) (2%)	-1, Fmax	-2, Fmax	-3, Fmax
		189.0 MHz 86.0 Mbps	222.0 MHz 101.0 Mbps	245.0 MHz 112.0 Mbps

Описание интерфейса IP ядра

На рисунке 5 приведен пример временной диаграммы для входного интерфейса. Скорость входного потока регулируется сигналом **ordy**. Входные данные считываются с входа **idat** только тогда, когда **ordy** равен единице ("1").

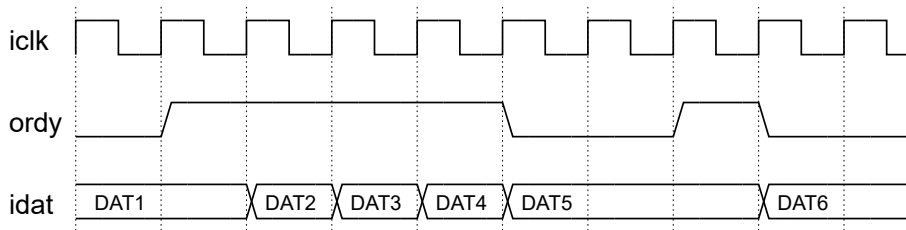


Рисунок 5. Временные диаграммы работы RS-QPSK Модулятора

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/rs-qpsk-modem/>

Обратная связь

Иприум

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.1	2018.02.21	Изменен выходной интерфейс. Добавлен порт количества ошибок в блоке Рида-Соломона
2.0	2017.11.14	Добавлена поддержка AD9361, AD9363, AD9364, AD9371, AD9375 и AD9789
1.1	2017.07.31	Изменен выходной интерфейс. Добавлены порты ошибки по несущей частоте
1.0	2015.03.24	Официальный релиз