



IP ядро декодера Витерби
Спецификация

Информация о релизе

Название	Viterbi Decoder IP Core
Версия	2.0
Дата сборки	2014.09
Код заказа	ip-viterbi-decoder
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро реализует декодирование сверточных кодов на основе алгоритма Витерби и полностью совместимо со стандартами:

- Цифрового телевизионного вещания (DVB-S, DVB-T);
- CDMA2000 (3GPP2), 3GPP LTE;
- IEEE 802.16 (WiMAX модемы);
- Intelsat IESS-308/309.

Комплект поставки

IP ядро декодера Витерби включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра декодера Витерби.

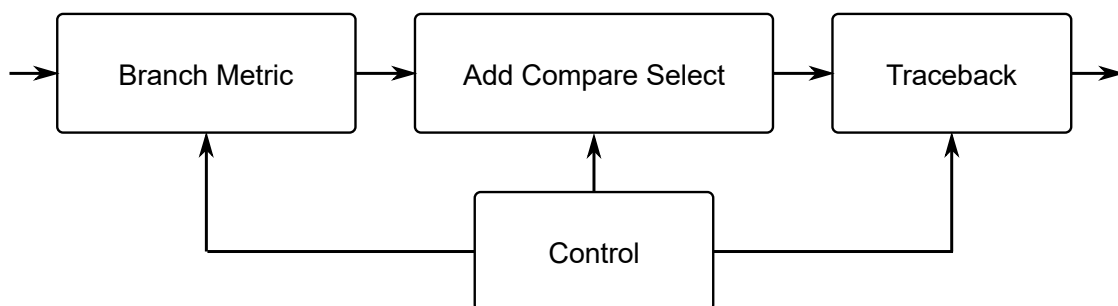


Рисунок 1. Структурная схема декодера Витерби

IP ядро декодера Витерби имеет классическую структуру и содержит блок расчета метрики (**Branch Metric**), блок определения выжившего пути (**Add Compare Select**) и обратного прохода пути (**Traceback**). Для управления работой блоков и обеспечения внешнего интерфейса используется блок контроля (**Control**).

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра декодера Витерби.

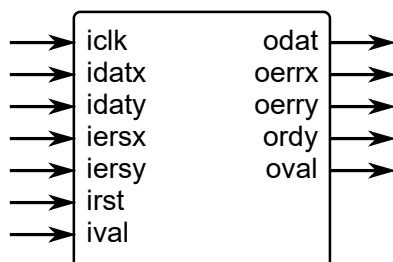


Рисунок 2. Карта портов декодера Витерби

Таблица 1. Описание портов декодера Витерби		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idatx	W_DAT	входные (канальные) данные
idaty	W_DAT	входные (канальные) данные
iersx	1	стирание для idatx
iersy	1	стирание для idaty
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
ival	1	готовность входных данных
odat	1	выходные (декодированные) данные
oerrx	1	исправленная ошибка в idatx
oerry	1	исправленная ошибка в idaty
ordy	1	готовность принимать входные данные
oval	1	готовность выходных данных

Формат мягкого решения

В таблице 2 приведена схема формирования входных данных с 3-х битным мягким решением.

Таблица 2. Формат входных данных для 3-х битного мягкого решения	
011	Сильный логический "0"
010	
001	
000	Слабый логический "0"
111	Слабая логическая "1"
110	
101	
100	Сильная логическая "1"

Описание работы IP ядра

Для надежной передачи информации в цифровых системах связи используется специальный подкласс помехоустойчивых кодов - сверточные коды. В сверточном кодере на передающей стороне информационный поток, проходя через полиномиальный регистр сдвига с отводами, образует выходной кодированный поток. На приемной стороне декодер, используя принцип максимального правдоподобия принятых данных и выбирая наиболее вероятные последовательности, осуществляет исправление ошибок в канальном потоке. Исправляющая способность сверточного кодера зависит от длины кодового ограничения (constraint length), разрядности мягкого решения (soft decision), глубины обратного прохода пути (traceback). Алгоритм декодирования Витерби основан на том же принципе максимального правдоподобия, но за счет использования особенностей конкретной решетки сверточного кода в нем уменьшена вычислительная нагрузка и занимаемый ресурс.

Главные особенности данного IP ядра:

- Высокоскоростной параллельный алгоритм декодирования;
- Поддержка различных стандартов сверточного кодирования;
- Параметризованная длина кодового ограничения (K), разрядность входных данных (W_DAT);
- Поддержка "пакетного" режима работы;
- Поддержка "треллис" режима работы;
- Фиксированная задержка декодирования (TRBx4+2 такта);
- Индикация исправлений ошибок во входных данных.

Параметры IP ядра

Доступные для изменения параметры IP ядра декодера Витерби представлены в таблице 3:

Таблица 3. Описание параметров IP ядра декодера Витерби	
Параметр	Описание
K	длина кодового ограничения (constraint length) сверточного кодера
POLY_X_Y	полиномы сверточного кодера
W_DAT	разрядность входных данных (мягкого решения)
TRB	глубина traceback

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 4 приведены результаты измерений IP ядра декодера Витерби.

Таблица 4. Производительность декодера Витерби				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_DAT = 4 K = 7 TRB = 42 POLY_X = 171 POLY_Y = 133	Altera Cyclone V 5CEFA7			
	1114 ALMs (1%) 6 M10K RAM blocks (1%) 0 DSP (18x18) (0%)	-8, Fmax	-7, Fmax	-6, Fmax
		135.0 MHz 135.0 Mbit/s	152.0 MHz 152.0 Mbit/s	190.0 MHz 190.0 Mbit/s
W_DAT = 4 K = 7 TRB = 42 POLY_X = 171 POLY_Y = 133	Xilinx Virtex-7 XC7VX330T			
	807 Slices (1%) 5 18K RAM blocks (1%) 0 DSP (18x18) (0%)	-1, Fmax	-2, Fmax	-3, Fmax
		258.0 MHz 258.0 Mbit/s	315.0 MHz 315.0 Mbit/s	350.0 MHz 350.0 Mbit/s

Описание интерфейса IP ядра

На рисунке 3 показана временная диаграмма входного интерфейса декодера Витерби. Декодер принимает входные данные только когда "ordy" равен 1.

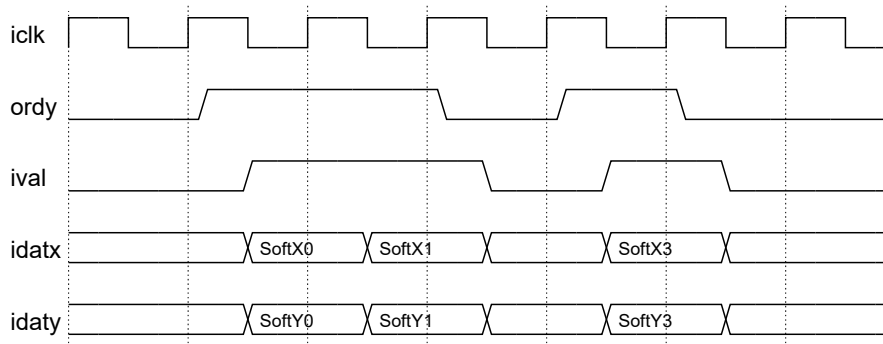


Рисунок 3. Временные диаграммы входного интерфейса декодера Витерби

На рисунке 4 показана временная диаграмма выходного интерфейса декодера Витерби.

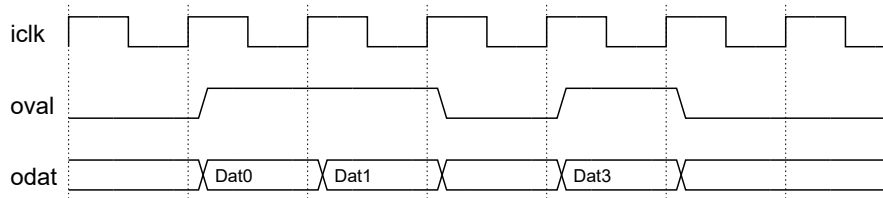


Рисунок 4. Временные диаграммы выходного интерфейса декодера Витерби

На рисунке 5 показана временная диаграмма входного интерфейса декодера Витерби в режимы стирания данных с паттерном 110110 (скорость кодирования 3/4). С помощью использования "iersx", "iersy" можно получить любую требуемую скорость кодирования.

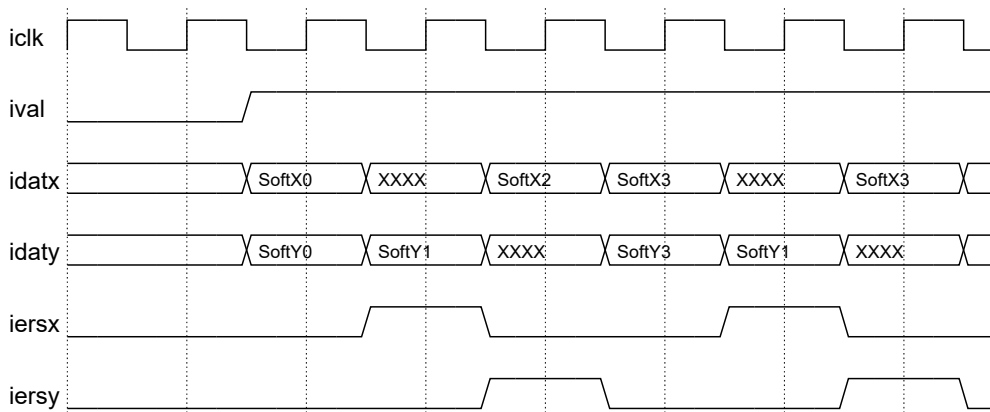


Рисунок 5. Временные диаграммы в режиме стирания

Показатели качества

Исправляющая способность IP ядра декодера Витерби показана на рисунке 6.

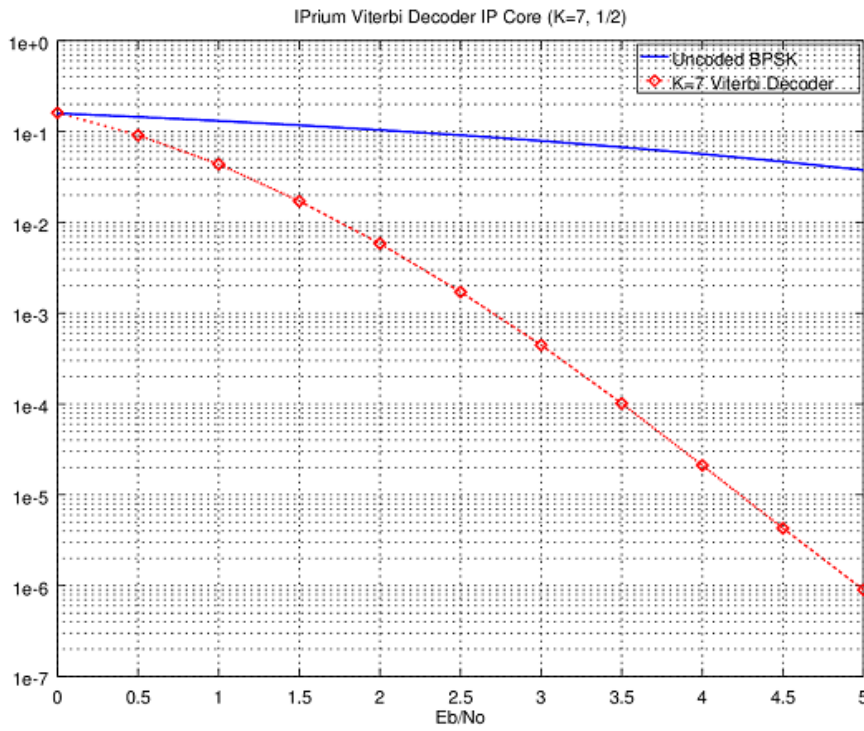


Рисунок 6. Исправляющая способность декодера Витерби (K=7, 1/2)

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/viterbi-decoder/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.2	2012.01.10	Изменения в интерфейсе управления
1.1	2009.08.20	Текущие улучшения
1.0	2006.12.06	Официальный релиз