



IP ядро Wideband DDC
Спецификация

Информация о релизе

Название	Wideband DDC IP Core
Версия	2.1
Дата сборки	2014.11
Код заказа	ip-wideband-ddc
Ревизия Спецификации	r1383

Назначение IP ядра

Данное IP ядро является полнофункциональным широкополосным цифровым приемником с функциями цифрового комплексного смесителя и цифрового децимирующего фильтра с возможностью коррекции фазы и амплитуды сигнала.

Комплект поставки

IP ядро Wideband DDC включает в себя:

- EDIF/NGC/QXP/VQM нетлист для Xilinx Vivado/ISE, Intel (Altera) Quartus, Lattice Diamond или Microsemi (Actel) Libero SoC;
- Testbench сценарии для проверки IP ядра;
- Примеры проектов для отладочных плат Xilinx, Intel (Altera), Lattice, Microsemi (Actel).

Структура IP ядра

На рисунке 1 показана структурная схема IP ядра Wideband DDC.

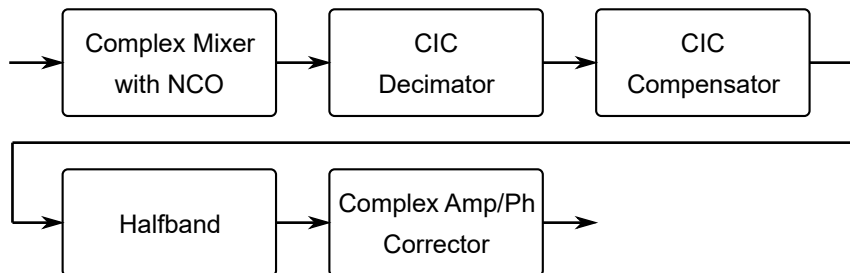


Рисунок 1. Структурная схема Wideband DDC

Карта портов

На рисунке 2 представлен графический символ, а в таблице 1 дано описание портов IP ядра Wideband DDC.

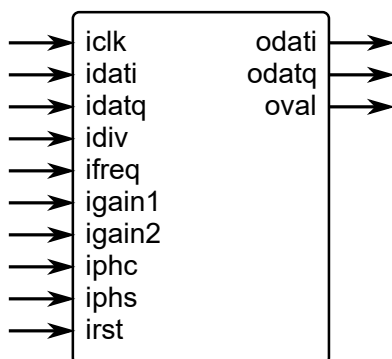


Рисунок 2. Карта портов Wideband DDC

Таблица 1. Описание портов Wideband DDC		
Порт	Разрядность	Описание
iclk	1	Системная тактовая частота. IP ядро работает по переднему фронту iclk.
idati idatq	W_ADC*NSPC	Комплексный IQ вход в основной полосе частот или на промежуточной частоте.
idiv	16	Коэффициент децимации.
ifreq	32	Значение входной промежуточной частоты.
igain1	16	Грубая установка коэффициента усиления.
igain2	16	Точная установка коэффициента усиления.
iphc iphs	16	Комплексный вход коррекции фазы и амплитуды выходного сигнала. $odat = data * complex(iphc, iphs)$
irst	1	IP ядро сбрасывается синхронно, когда irst устанавливается в логическую единицу.
odati odatq	W_OUT	Комплексный IQ выход.
oval	1	Валидность выходных данных.

Параметры IP ядра

Доступные для изменения параметры IP ядра Wideband DDC представлены в таблице 2:

Таблица 2. Описание параметров IP ядра Wideband DDC	
Параметр	Описание
W_ADC	ADC Width. Разрядность входных отчетов DDC (<i>idati/idatq</i>), поступающих с АЦП.
NSPC	Number of Samples per Cycle. Количество одновременно поступающих с АЦП отчетов.
W_OUT	Output Width. Разрядность выходных отчетов DDC (<i>odati/odatq</i>).

Скорость работы и занимаемый ресурс

Приведенные результаты измерения были получены в автоматическом режиме с использованием стандартных настроек логического синтезатора и трассировщика ПЛИС для проекта, поставляемого вместе с IP ядром. IP ядро полностью поддерживает все семейства ПЛИС Xilinx и Altera, включая Spartan, Zynq, Artix, Kintex, Virtex, Cyclone, Arria, MAX, Stratix. В таблице 3 приведены результаты измерений IP ядра Wideband DDC.

Таблица 3. Производительность Wideband DDC				
Параметры IP ядра	Тип микросхемы ПЛИС			
	Ресурс	Speed grade, максимальная частота работы		
W_ADC = 16 NSPC = 8 W_OUT = 25	Altera Cyclone V 5CEFA7			
	9475 ALMs (17%) 88 M10K RAM blocks (13%) 38 DSP (18x18) (25%)	-8, Fmax 84.0 MHz 672.0 MSPS	-7, Fmax 94.0 MHz 752.0 MSPS	-6, Fmax 111.0 MHz 888.0 MSPS
W_ADC = 16 NSPC = 8 W_OUT = 25	Xilinx Virtex-7 XC7VX330T			
	4258 Slices (9%) 40 18K RAM blocks (3%) 38 DSP (18x18) (4%)	-1, Fmax 189.0 MHz 1512.0 MSPS	-2, Fmax 218.0 MHz 1744.0 MSPS	-3, Fmax 244.0 MHz 1952.0 MSPS

Показатели качества

Wideband DDC IP ядро обеспечивает следующие показатели качества:

- Степень децимации от 16 до 65520 с шагом 16;
- Неравномерность в полосе пропускания 0.05 дБ (65% полосы);
- Ослабление в полосе подавления 60 дБ;
- Диапазон регулировки усиления 70 дБ с шагом 0.01 дБ;
- Точность фазирования 0.05 градуса;
- SFDR 80 дБ.

Показатели качества IP ядра могут быть улучшены по запросу.

Обновление и техническая поддержка

Бесплатная техническая поддержка осуществляется в течение 1 года и включает в себя консультации через телефон, E-mail и Skype. Максимальный срок обработки запроса о технической поддержке - 1 рабочий день.

Для получения актуальной информации об IP ядре посетите страницу

<https://www.iprium.ru/ipcores/id/wideband-ddc/>

Обратная связь

ООО "Иприум"

634029, Томск, пр. Фрунзе, 20, офис 427

Тел.: +7(3822)256412

E-mail: info@iprium.ru

Skype: fpgahelp

website: <https://www.iprium.ru/contacts/>

История изменений

Версия	Дата	Изменения
2.1	2014.11.11	Добавлена поддержка параллельной обработки входных комплексных отчетов с АЦП
2.0	2014.09.23	Добавлена поддержка Xilinx Virtex-7, Kintex-7, Artix-7, Altera Stratix V, Arria V, Cyclone V, Lattice ECP5
1.1	2013.06.13	Добавлена коррекция амплитуды и фазы комплексного сигнала
1.0	2009.10.20	Официальный релиз